

10/033,694



Europäisches  
Patentamt

European  
Patent Office

Office européen  
des brevets

#4

Bescheinigung

Certificate

Attestation

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

00830870.2

Der Präsident des Europäischen Patentamts;  
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets  
p.o.

R C van Dijk

DEN HAAG, DEN  
THE HAGUE, 12/02/02  
LA HAYE, LE

**THIS PAGE BLANK (USPTO)**



Europäisches  
Patentamt

European  
Patent Office

Office européen  
des brevets

**Blatt 2 der Bescheinigung**  
**Sheet 2 of the certificate**  
**Page 2 de l'attestation**

Anmeldung Nr.:  
Application no.:  
Demande n°: 00830870.2

Anmeldetag:  
Date of filing: 29/12/00  
Date de dépôt:

Anmelder:  
Applicant(s):  
Demandeur(s):  
STMicroelectronics S.r.l.  
20041 Agrate Brianza (Milano)  
ITALY

Bezeichnung der Erfindung:  
Title of the invention:  
Titre de l'invention:

Integration process on a SOI substrate of a semiconductor device comprising at least a dielectrically isolated well

In Anspruch genommene Priorität(en) / Priority(ies) claimed / Priorité(s) revendiquée(s)

Staat:  
State:  
Pays:

Tag:  
Date:  
Date:

Aktenzeichen:  
File no.  
Numéro de dépôt:

Internationale Patentklassifikation:  
International Patent classification:  
Classification internationale des brevets:

H01L21/762, H01L21/763

Am Anmeldetag benannte Vertragsstaaten:  
Contracting states designated at date of filing: AT/BE/CH/CY/DE/DK/ES/FI/FR/GB/GR/IE/IT/LI/LU/MC/NL/PT/SE/TR  
Etats contractants désignés lors du dépôt:

Bemerkungen:  
Remarks:  
Remarques:

See for title page 1 of the description

**THIS PAGE BLANK (USPTO)**



- 1 -

Titolo: Processo di integrazione su un substrato di tipo SOI di un dispositivo semiconduttore includente almeno una sacca dielettricamente isolata.

## DESCRIZIONE

5 Campo di applicazione

La presente invenzione fa riferimento ad un processo di integrazione su un substrato di tipo SOI di un dispositivo semiconduttore includente almeno una sacca dielettricamente isolata.

10 Più specificatamente, l'invenzione si riferisce ad un processo di integrazione su un substrato di tipo SOI di un dispositivo semiconduttore includente almeno una sacca dielettricamente isolata, del tipo comprendente:

- una fase di ossidazione, per realizzare uno strato di ossido;
- una fase di deposizione, al di sopra di detto strato di ossido di uno strato di nitruro, ed

15 - una fase di mascheratura, realizzata al di sopra di detto strato di nitruro mediante uno strato di resist, per definire opportune aperture fotolitografiche per realizzare almeno un trench di dielettrico atto a garantire l'isolamento laterale di detta sacca.

20 L'invenzione riguarda in particolare, ma non esclusivamente, un processo di integrazione su un substrato SOI [Silicon on Insulator] di un dispositivo in tecnologia BiCMOS e la descrizione che segue è fatta con riferimento a questo campo di applicazione con il solo scopo di semplificarne l'esposizione.

Arte nota

25 Come è ben noto, un totale isolamento elettrico tra uno o più dispositivi integrati viene realizzato, ad esempio, mediante integrazione di una struttura isolante a trench di dielettrico a creare una o più sacche d'isolamento in cui realizzare tali dispositivi.

In particolare, per dispositivi realizzati su substrati di tipo SOI, caratterizzati dalla presenza di uno strato di ossido sepolto denominato BOX (buried oxide)

- 2 -

che garantisce un isolamento verticale dei dispositivi, si utilizza una struttura isolante laterale a trench di dielettrico per garantirne il solo isolamento laterale.

La continuità tra lo strato di ossido sepolto e la struttura isolante laterale a trench di dielettrico assicura quindi un isolamento dielettrico dei dispositivi integrati su substrati SOI, realizzati all'interno di opportune sacche, dette di isolamento, circondate dallo strato di ossido sepolto BOX e dalla struttura isolante laterale a trench di dielettrico.

In Figura 1 è rappresentata schematicamente una porzione 1 di dispositivo semiconduttore, comprendente essenzialmente una sacca 2 dielettricamente isolata e realizzata secondo l'arte nota.

In particolare, la porzione 1 di dispositivo semiconduttore comprende una regione 3 di substrato denominato anche handle-wafer che funge normalmente da sostegno meccanico. Nel caso di integrazione di dispositivi complessi viene talvolta utilizzato anche come strato di silicio attivo.

Al di sopra della regione 3 di substrato è formato uno strato 4 di ossido sepolto (BOX), che viene utilizzato come elemento di isolamento verticale per la sacca 2, il cui isolamento laterale viene ottenuto mediante una regione 5 di ossidazione laterale ricoperta da uno strato 6 di nitruro, realizzata ai bordi della sacca 2 ed in contatto dielettrico con lo strato 4 di ossido sepolto.

In particolare, l'insieme di due regioni 5 di ossidazione laterale, con relativi strati 6 di nitruro, e della parte sottostante di strato 4 di ossido sepolto, costituisce una cosiddetta struttura isolante 7 a trench di dielettrico, normalmente riempita da materiale 8 di riempimento, solitamente polisilicio.

All'interno della sacca 2, la struttura isolante 7 a trench di dielettrico definisce quindi una regione 9 di integrazione per vari tipi di componenti (device-wafer) che risultano così dielettricamente isolati dal resto del dispositivo semiconduttore.

La superficie della porzione 1 di dispositivo semiconduttore deve essere sufficientemente planare in modo da poter realizzare una crescita od una deposizione degli altri strati necessari per l'integrazione, nella sacca 2, dei componenti da realizzare. Si tratta quindi di prevedere, ad esempio, strati di

- 3 -

fotoresist, nitruro, vapox, ossido, metallizzazione, etc..

E' opportuno notare che la realizzazione dell'isolamento laterale così come la fase di planarizzazione richiedono processi di attacco e di deposizione di strati selettivi gli uni rispetto agli altri.

- 5 Ad esempio, l'attacco del silicio per la formazione della struttura isolante 7 a trench di dielettrico deve essere selettivo rispetto agli strati di superficie (quali ossido e/o nitruro). In particolare, la presenza dello strato 4 di ossido sepolto, caratteristico dei substrati di tipo SOI, richiede una complicata sequenza di processo che evita l'attacco o il degrado di tale strato 4 durante  
10 una qualsiasi delle fasi di lavorazione necessarie per la formazione della sacca 2 elettricamente isolata.

- E' noto, dal brevetto statunitense No. 5,811,315 di W. Yindeepol et al., un metodo per la realizzazione di strutture isolanti a trench di dielettrico su substrati di tipo SOI, comprendente in particolare una sequenza di processo  
15 per l'integrazione e la planarizzazione di trench profondi, che preserva al contempo lo spessore di un ossido di campo preventivamente cresciuto sulla superficie del wafer di silicio.

Per descrivere tale sequenza di processo nota, faremo nel seguito riferimento alle figure da 2A a 2O.

- 20 A partire da un substrato 13 di tipo SOI, realizzato al di sopra di un substrato convenzionale 11 e di uno strato 12 di ossido sepolto (come schematicamente illustrato in Figura 2A), vengono realizzati in sequenza uno strato 14 di ossido spesso (detto anche ossido di campo) preventivamente cresciuto sulla superficie del silicio del substrato 13, uno strato 15 di nitruro  
25 di silicio deposto su detto ossido 14 di campo, nonché uno strato 16 di ossido deposto (di tipo VAPOX o TEOS) che funge da hardmask ed è a sua volta deposto sul precedente strato 15 di nitruro di silicio.

- Lo strato 15 di nitruro di silicio viene utilizzato in particolare per prevenire l'attacco dell'ossido 14 di campo durante la fase di rimozione dello strato 16  
30 di hardmask, prevista nel seguito della lavorazione dopo la formazione di un trench 17 di dielettrico di isolamento.

Lo strato 16 di hardmask viene a tal fine coperto con uno strato 18 di resist

- 4 -

(come schematicamente illustrato in Figura 2B) e tramite processi fotolitografici noti ai tecnici del ramo vengono realizzate opportune aperture di larghezza pari ai trench 17 di dielettrico da realizzare. Viene quindi eseguito un attacco a "secco" [dry-etch] degli strati 16, 15 e 14, la chimica di attacco di questi strati essendo selettiva rispetto al substrato 13.

In seguito, lo strato 18 di resist viene rimosso e si effettua una fase di attacco in dry del substrato 13 fino allo strato 12 di ossido sepolto per realizzare il trench 17 di dielettrico (come schematicamente illustrato in Figura 2C).

Per rimuovere i danni cristallografici creati durante tale fase di attacco lungo le pareti del trench 17 di dielettrico viene cresciuto e successivamente rimosso un sottile strato 19 di ossido, detto di ossidazione sacrificale, (come schematicamente illustrato nelle Figure 2D e 2E). L'attacco del sottile strato 19 di ossido sacrificale viene realizzato in soluzione HF, questo attacco non dovendo protrarsi per molto tempo in modo da evitare un sovrattacco dello strato 12 di ossido sepolto e dell'ossido 14 di campo.

Si procede quindi con un processo di ossidazione, detto di sidewall, per far crescere uno strato 20 di ossido sulle pareti laterali del trench 17 di dielettrico (come schematicamente illustrato in Figura 2F) e con una fase di deposizione di uno strato 21 di nitruro su tutta la superficie del dispositivo semiconduttore (come schematicamente illustrato in Figura 2G).

Lo strato 21 di nitruro viene quindi attaccato in modo anisotropo e selettivo rispetto allo strato 12 di ossido sepolto, rimanendo solo sulle superfici laterali del trench 17 di dielettrico, formandone i cosiddetti spacer in contatto con lo strato 15 di nitruro di silicio (come schematicamente illustrato in Figura 2H). Tale strato 21 di nitruro viene invece rimosso sullo strato 16 di hardmask e sul fondo del trench 17 di dielettrico.

E' opportuno notare che anche la deposizione dello strato 21 di nitruro ha come scopo quello di evitare un attacco dell'ossido di campo 14 durante la fase di rimozione dello strato 16 di hardmask. A tale scopo, lo spessore di tale strato 16 di hardmask viene scelto inizialmente in modo tale da assicurare che, dopo le varie fasi di attacco, ne rimanga una porzione con pareti verticali in modo da garantire una buona copertura dello spacer

- 5 -

realizzato dallo strato 21 di nitruro, che a sua volta servirà a mantenere intatte le regioni laterali dell'ossido di campo 14 (come schematicamente illustrato in Figura 2I).

Questo comporta che, durante le fasi di lavorazione tra le due deposizioni di nitruro, si utilizzino attacchi in HF per eliminare eventuali residui di ossinitruro all'interfaccia tra i due strati di nitruro (15 e 21), come schematicamente illustrato nella Figura 2J.

Dopo una fase di rimozione anisotropa dello strato 21 di nitruro, il trench così ottenuto viene riempito con del materiale di riempimento, in particolare polisilicio (come schematicamente illustrato nella Figura 2K).

Successivamente, tale polisilicio di riempimento viene rimosso sulla superficie a endpoint rispetto allo strato 16 di hardmask (fase di etchback) così da lasciare del polisilicio all'interno del trench (come schematicamente illustrato nella Figura 2L). A questo punto, viene realizzato un lieve sovrattacco sul polisilicio di riempimento in modo tale che la successiva fase di ossidazione, detta di cap, risulti planare rispetto all'ossido 14 di campo.

Dopo questa fase di etchback del polisilicio di riempimento, la parte restante dello strato 16 di hardmask viene rimossa. E' quindi importante che l'interfaccia tra le regioni di nitruro 15 e 21 risulti robusta in modo da poter resistere al lungo attacco necessario per la rimozione dello strato 16 di hardmask.

E' opportuno notare che lo strato 16 di hardmask non può essere rimosso prima della deposizione del polisilicio di riempimento del trench. Infatti, in tal caso, verrebbe rimosso contemporaneamente anche lo strato 12 di ossido sepolto poiché in questa fase il fondo del trench non è protetto da alcuno strato di nitruro. Verrebbe così a mancare il necessario isolamento verticale tramite dielettrico del trench e quindi della sacca 2.

Inoltre, anche in presenza del polisilicio di riempimento del trench, risulta necessario prevedere uno strato 21 di nitruro per realizzare spacer laterali ed evitare così che una fase di attacco dello strato 16 di hardmask si estenda anche all'ossido 14 di campo (come schematicamente illustrato nella Figura 2M).

- 6 -

Dopo la rimozione dello strato 16 di hardmask, tutta la superficie del dispositivo semiconduttore, tranne il polisilicio 24 di riempimento, risulta ricoperta di nitruro di silicio (strati 15 e 21). Si effettua quindi una fase di ossidazione che permette di ossidare ed otturare dielettricamente il polisilicio 24 di riempimento del trench 23, formando il cosiddetto ossido 25 di cap (come schematicamente illustrato nella Figura 2N).

A questo punto, viene rimosso il nitruro di silicio degli strati 15 e 21 e la sacca 2 risulta lateralmente dielettricamente isolata dal trench 23 così ottenuto (come schematicamente illustrato nella Figura 2O). L'insieme dei trench 23 e dello strato 12 di ossido sepolto a contatto tra loro realizzano l'isolamento dielettrico della sacca 2.

E' quindi possibile procedere con i successivi passi di processo ed integrare in tale sacca 2 dielettricamente isolata vari dispositivi.

Ancorché rispondente allo scopo di realizzare una sacca dielettricamente isolata su substrato SOI, questa soluzione nota propone una sequenza di processo lunga e laboriosa e presenta vincoli tecnologici che si traducono in compromessi di processo. In particolare, una fase di sovrattacco durante la rimozione dello strato 15 di nitruro di silicio potrebbe causare dei problemi di struttura al trench 23, come schematicamente illustrato nelle Figure 3A e 3B.

E' possibile eliminare questo problema evitando un attacco in umido [wet-etch] dello strato 15 di nitruro di silicio e sostituendolo con un attacco dry. In realtà questa sostituzione può comportare il danneggiamento di un sottile strato 26 di ossido, detto di pad, presente nelle regioni attive del dispositivo semiconduttore dove non è presente un ossido 14 di campo spesso (come schematicamente illustrato nella Figura 3C). Per poter utilizzare questo attacco dry dello strato 15 di nitruro di silicio, si deve rimuovere tale ossido 26 di pad e ricrescere un ossido di qualità migliore, allungando così ulteriormente la sequenza di processo.

Inoltre, lo spessore dello strato 16 di hardmask non risulta uniforme dopo la fase di attacco necessaria per la realizzazione del trench 23.

Infine, il trench 23 deve essere riempito prima di rimuovere tale strato 16 di hardmask per evitare un attacco dello strato 12 di ossido sepolto. Questa

- 7 -

limitazione di processo, porta con sé problemi durante la fase di etchback del polisilicio 24 di riempimento. Infatti, essendo la profondità di attacco di tale polisilicio 24 di riempimento all'interno del trench 23 proporzionale allo spessore dello strato 16 di hardmask ed essendo lo spessore di tale strato 16 di hardmask non costante dopo la fase di attacco del trench 23 stesso, la planarità della superficie del dispositivo semiconduttore in prossimità del trench 23, dopo tale fase di etchback del polisilicio 24 di riempimento, risulta di difficile controllo (come schematicamente illustrato nelle Figure 4A e 4B).

Nel brevetto statunitense citato viene anche descritto un processo alternativo per rimuovere lo strato 16 di hardmask prima della fase di riempimento del trench 23 con il polisilicio 24 di riempimento, senza attacco dello strato 12 di ossido sepolto.

Completando le fasi di processo sopra descritte, fino alla deposizione dello strato 21 di nitruro, si procede ad una successiva fase di attacco in dry variando parametri di pressione e potenza rispetto alla soluzione precedente, in modo tale da mantenere una quantità residua 21\* di nitruro sul fondo della struttura isolante a trench (come schematicamente illustrato nelle Figure 5A e 5A-1).

Si procede a questo punto con la rimozione dello strato 16 di hardmask e analogamente a quanto è stato fatto per la sequenza di processo precedentemente descritta, si realizzano le fasi di deposizione, etchback, ossidazione del polisilicio 24 di riempimento (come schematicamente illustrato nelle Figure da 5B a 5E), si rimuove lo strato 15 di nitruro e si completa in tal modo un trench 23', con nitruro residuo 21\* sul fondo del trench stesso (come schematicamente illustrato nella Figura 5F).

E' inoltre descritta una prima variante di realizzazione del trench 23', schematicamente illustrata nelle Figure da 6A a 6E, in cui lo strato 15 di nitruro viene rimosso inizialmente in maniera da eliminare anche eventuali spigoli 27. Dopodiché, si ricresce un ulteriore strato 28 di nitruro conforme alla struttura sottostante, e si completa la struttura seguendo i passi di processo già illustrati.

Una seconda variante di realizzazione del trench 23' di tipo noto,

- 8 -

schematicamente illustrata nelle Figure da 7A a 7E, viene ottenuta mediante rimozione dello strato 15 di nitruro e deposizione diretta del polisilicio 24 di riempimento, la struttura essendo completata seguendo i passi di processo sopra indicati.

- 5 Le varianti di realizzazione illustrate nelle Figure da 5A a 5F e da 6A a 6E propongono strutture isolanti a trench che non presentano uno strato di nitruro all'interno del trench stesso, eliminando così la possibilità di creazione di stress e difetti sul substrato SOI a ridosso delle pareti del trench che la presenza di tale strato interno di nitruro potrebbe causare.
- 10 Nel caso di queste varianti, risulta però critica la selettività di talune fasi di lavorazione rispetto ad altre, che impone una sequenza di processo piuttosto laboriosa e con vari compromessi.

15 In particolare, come indicato all'interno del brevetto citato, lo strato 12 di ossido sepolto caratteristico dei substrati SOI deve essere protetto durante le necessarie fasi di attacco per la realizzazione del trench 23.

Inoltre, tale trench 23 viene realizzato dopo aver cresciuto l'ossido 14 di campo e quindi dopo aver definito le aree attive dei componenti. Questo obbliga a preservare anche lo spessore dell'ossido 14 di campo durante le necessarie fasi di attacco previste per la formazione del trench 23.

- 20 I due vincoli di processo sopra indicati implicano deposizioni di non meno di due strati di nitruro e relative problematiche di selettività inerenti gli attacchi necessari per integrare il trench 23 e nel contempo proteggere l'ossido 14 di campo.

25 La realizzazione di una struttura 23 isolante a trench come descritto nel brevetto citato, secondo il flusso di processo principale e le sue varianti, comporta quindi lunghe e laboriose fasi di processo ed impone vincoli di realizzazione dell'intera struttura del dispositivo a semiconduttore.

30 La realizzazione di strutture dielettricamente isolate e integrate su substrati SOI presenta inoltre il problema della qualità dell'isolamento laterale della sacca ottenuto attraverso la struttura isolante a trench.

Infatti, la presenza di difettosità, ad esempio indotte da stress meccanico,



- 9 -

attorno alle regioni di silicio che circondano la struttura isolante a trench oppure le regioni di silicio in prossimità degli spigoli della sacca da tale struttura definita, in cui il trench viene a contatto con lo strato di ossido sepolto, possono provocare fenomeni di leakage, breakdown prematuri o  
5 fenomeni instabilità del breakdown, soprattutto a valori di tensione di operazione della sacca elevati.

Per eliminare questo fattore di criticità è noto polarizzare il polisilicio 24 di riempimento del trench, in modo da mantenere un isolamento elettrico stabile tra i vari componenti integrati nelle varie sacche d'isolamento del  
10 wafer, tale polarizzazione richiedendo però varianti di struttura e di processo rispetto a quanto descritto in precedenza.

Metodi di polarizzazione del polisilicio di riempimento di un trench di dielettrico, compatibili con tecnologie su substrato SOI, sono descritti ad esempio nei brevetti statunitensi No. 5,914,523 di R. Bashir et al. e No.  
15 6,071,803 di M. J. Rutten et al..

In particolare, il primo documento descrive un processo di realizzazione di un trench di metallizzazione parzialmente dielettricamente isolato che permette il contatto top-bottom tra regioni di silicio situate nel handle-wafer e nel device-wafer, al fine di risolvere le problematiche legate all'integrazione  
20 delle strutture ESD in tecnologie dielettricamente isolate.

La struttura così ottenuta realizza un contatto con il materiale di riempimento del trench e risolve così i fenomeni di instabilità dell'isolamento sopra indicati.

Il secondo documento descrive un processo di realizzazione di una struttura isolante a trench realizzata su substrato SOI. In particolare, partendo da un  
25 trench 23 ottenuto secondo il precedente documento di arte nota citato e raffigurato in Figura 2N, tale processo comprende inoltre una fase di ossidazione del polisilicio 24 di riempimento del trench (come schematicamente illustrato nella Figura 8A) che ottiene uno strato 29 di  
30 nitruro.

Lo strato 29 di nitruro viene quindi attaccato contemporaneamente ad una porzione dello strato 21 di nitruro così da ottenere una porzione laterale 30 di polisilicio scoperta, (come schematicamente illustrato nella Figura 8B).

- 10 -

Tale porzione laterale 30 di polisilicio scoperta risulta profonda al massimo 0.5 micron.

Sul trench così ottenuto si depone allora un ulteriore strato 31 di polisilicio (come schematicamente illustrato nella Figura 8C) che ricopre l'intera superficie del dispositivo semiconduttore.

E' opportuno notare che lo strato 31 di polisilicio risulta quindi in contatto con il polisilicio 24 di riempimento attraverso la porzione laterale 30 di polisilicio scoperta, la fase di deposizione risultando autoallineata senza richiesta di maschere aggiuntive.

In sostanza, il contatto di polarizzazione del polisilicio 24 di riempimento del trench viene fatto tramite l'ausilio di un secondo strato 31 di polisilicio, a sua volta utilizzato eventualmente anche per contattare regioni attive dei componenti.

Le soluzioni note per strutture isolanti a trench su substrato SOI sopra descritte presentano tutte lunghe e complesse sequenze di fasi di realizzazione, con pesanti vincoli sull'intera struttura del dispositivo a semiconduttore e del trench in particolare nonché diversi problemi legati alla criticità delle fasi di attacco ed alla selettività dei materiali da utilizzare, che ne limitano l'utilizzo.

Il problema tecnico che sta alla base della presente invenzione è quello di escogitare un processo d'integrazione su un substrato SOI di un dispositivo semiconduttore con struttura di isolamento, avente caratteristiche strutturali e funzionali tali da consentire di semplificare la sequenza delle fasi di processo superando in tal modo gli inconvenienti che tuttora limitano i processi secondo l'arte nota.

#### Sommario dell'invenzione

L'idea di soluzione che sta alla base della presente invenzione è quella di utilizzare lo strato di nitruro della fase iniziale di realizzazione del dispositivo semiconduttore come hardmask, nonché realizzare i trench di dielettrico per isolare la sacca del dispositivo semiconduttore prima di definire l'area attiva dei componenti da integrare nella sacca, ottenendo in tal modo una riduzione del numero di fasi del processo d'integrazione, una loro

- 11 -

semplificazione ed una maggiore flessibilità di realizzazione delle stesse.

Sulla base di tale idea di soluzione il problema tecnico è risolto da un processo d'integrazione del tipo precedentemente indicato e definito dalla parte caratterizzante della rivendicazione 1.

- 5 Le caratteristiche ed i vantaggi del processo d'integrazione secondo l'invenzione risulteranno dalla descrizione, fatta qui di seguito, di un esempio di realizzazione dato a titolo indicativo e non limitativo con riferimento ai disegni allegati.

Breve descrizione dei disegni

10 In tali disegni:

- la Figura 1: rappresenta schematicamente un dispositivo semiconduttore con struttura isolante integrato su substrato SOI, realizzato secondo l'arte nota;

15 - le Figure da 2A a 2O: rappresentano schematicamente il dispositivo di Figura 1 in differenti stadi del processo di realizzazione secondo l'arte nota;

- le Figure da 3A a 3C: rappresentano schematicamente il dispositivo di Figura 1 in differenti stadi di una variante del processo di realizzazione secondo l'arte nota;

20 - le Figure 4A e 4B: rappresentano schematicamente il dispositivo di Figura 1 in differenti stadi di una ulteriore variante del processo di realizzazione secondo l'arte nota;

- le Figure da 5A a 5F: rappresentano schematicamente il dispositivo di Figura 1 in differenti stadi di una ulteriore variante del processo di realizzazione secondo l'arte nota;

25 - le Figure da 6A a 6E: rappresentano schematicamente il dispositivo di Figura 1 in differenti stadi di una ulteriore variante del processo di realizzazione secondo l'arte nota;

- le Figure da 7A a 7E: rappresentano schematicamente il dispositivo di Figura 1 in differenti stadi di una ulteriore variante del processo di

- 12 -

realizzazione secondo l'arte nota;

- le Figure da 8A a 8C: rappresentano schematicamente un particolare del dispositivo di Figura 1 in differenti stadi di una ulteriore variante del processo di realizzazione secondo l'arte nota;

5 - la Figura 9: rappresenta schematicamente un dispositivo semiconduttore con struttura isolante integrato su substrato SOI, realizzato secondo l'invenzione;

10 - le Figure da 10A a 10S: rappresentano schematicamente il dispositivo di Figura 9 in differenti stadi di un processo di realizzazione secondo l'invenzione;

- le Figure 11A e 11B: rappresentano schematicamente il dispositivo di Figura 9 in differenti stadi di una variante del processo di realizzazione secondo l'invenzione;

15 - le Figure 12A e 12B: rappresentano schematicamente il dispositivo di Figura 9 in differenti stadi di una ulteriore variante del processo di realizzazione secondo l'invenzione;

- le Figure 13A e 13B: rappresentano schematicamente il dispositivo di Figura 9 in differenti stadi di una ulteriore variante del processo di realizzazione secondo l'invenzione;

20 - le Figure 14A e 14B: rappresentano schematicamente il dispositivo di Figura 9 in differenti stadi di una ulteriore variante del processo di realizzazione secondo l'invenzione.

#### Descrizione dettagliata

25 Con riferimento a tali figure, ed in particolare alla Figura 9, un dispositivo semiconduttore realizzato, secondo l'invenzione, su un substrato SOI è globalmente e schematicamente indicato con 100.

Il dispositivo semiconduttore 100 comprendente essenzialmente una sacca 200 realizzata al di sopra di un substrato 103 di tipo SOI e dielettricamente isolata tramite una struttura 104 isolante a trench.

- 13 -

Come visto in relazione all'arte nota, il dispositivo semiconduttore 100 comprende una regione 101 di substrato denominato anche handle-wafer, che funge normalmente da sostegno meccanico.

5 Nella regione 101 di substrato è formato uno strato 102 di ossido sepolto (BOX), che funge da isolamento verticale della sacca 200, al di sopra della quale si trova il substrato SOI 103. La sacca 200 presenta inoltre, nel substrato SOI 103, uno strato sepolto 110 ad alta concentrazione, in particolare di tipo n.

10 Per isolare lateralmente la sacca 200, il dispositivo semiconduttore 100 comprende inoltre almeno un trench 104 di dielettrico, a contatto con lo strato 102 di ossido sepolto e riempito mediante polisilicio 105 di riempimento.

15 Al di sopra del substrato SOI 103, il dispositivo semiconduttore 100 comprende, in modo noto, uno strato 106 di ossido spesso, uno strato 107 di ossido sottile ed uno strato 108 di isolamento dei dielettrici di superficie dei componenti (VAPOX o TEOS).

Il dispositivo semiconduttore 100 è completato da una metallizzazione 109.

20 Viene ora illustrato il processo d'integrazione del dispositivo semiconduttore 100 secondo l'invenzione, nelle sue varie fasi di realizzazione illustrate nelle Figure da 10A a 10S.

25 Su un substrato semilavorato di tipo SOI, comprendente una regione 101 di substrato, uno strato 102 di ossido sepolto ed un substrato SOI 103 in cui è realizzato lo strato sepolto 110 ad alta concentrazione (come schematicamente illustrato nella Figura 10A) viene effettuata una fase di ossidazione cosiddetta di pad per realizzare uno strato 111 di ossido di pad ed una fase di deposizione di uno strato 112 di nitrato (come schematicamente illustrato nella Figura 10B).

30 Vantaggiosamente secondo l'invenzione, tale strato 112 di nitrato, a differenza di quanto mostrato nella sequenza secondo arte nota, viene utilizzato come hardmask. Il suo spessore viene quindi tarato sulla base dei valori di selettività del silicio rispetto al nitrato in modo da garantirne il funzionamento da hardmask durante le successive fasi di attacco necessarie

- 14 -

per la realizzazione del trench 104 di dielettrico.

5 E' opportuno notare che un valore elevato per lo spessore dello strato 112 di nitruro può comportare un elevato stress cristallografico e quindi dei difetti sulla superficie del silicio del dispositivo semiconduttore 100. E' tuttavia noto prevenire questo potenziale inconveniente, mantenendo un rapporto tra lo spessore dello strato 112 di nitruro e lo spessore dello strato 111 di ossido di pad ad un valore inferiore a 3 o 4.

10 In un esempio preferito di realizzazione del dispositivo semiconduttore 100 secondo l'invenzione, lo spessore dello strato 111 di ossido di pad viene scelto pari a circa 500 Å e lo spessore dello strato 112 di nitruro pari a circa 1400 Å.

15 Il processo d'integrazione secondo l'invenzione comprende quindi una fase di mascheratura, realizzata in modo noto mediante fasi di deposizione, esposizione e sviluppo di uno strato 113 di resist, per definire un'apertura fotolitografica per realizzare i trench 104 di dielettrico (come schematicamente illustrato nella Figura 10C).

20 Nell'esempio illustrato nelle Figure da 10A a 10S, è stato rappresentato un dispositivo semiconduttore 100 comprendente un primo A ed un secondo trench B di dielettrico, aventi strutture differenti. In particolare il primo trench A presenta un polisilicio 105 di riempimento isolato rispetto alla superficie del dispositivo semiconduttore 100 tramite una regione 106 di ossido spesso, mentre il secondo trench B risulta contattato dalla superficie del dispositivo semiconduttore 100. Vantaggiosamente secondo l'invenzione, il processo d'integrazione descritto permette di ottenere l'una o l'altra delle  
25 strutture di trench sopra indicate in funzione di quelle che sono le esigenze applicative richieste.

30 Il processo d'integrazione secondo l'invenzione prosegue quindi con una fase di attacco anisotropo asciutto [in dry] dell'insieme dello strato 112 di nitruro di hardmask e dello strato 111 di ossido di pad (come schematicamente illustrato nella Figura 10D) e, dopo la rimozione dello strato 113 di resist, con una fase di realizzazione dei trench 104.

In particolare, tale fase di realizzazione dei trench 104 comprende una fase di attacco anisotropo del substrato SOI 103 di silicio, sino ad arrivare allo

- 15 -

strato sepolto 110 (come schematicamente illustrato nella Figura 10E).

E' opportuno notare che, vantaggiosamente secondo l'invenzione, durante la fase di attacco del silicio del substrato SOI 103, essendo la selettività di un attacco di silicio molto elevata rispetto ad un attacco di ossido (maggiore di 100:1), non si verifica un significativo attacco dello strato 102 di ossido sepolto.

Inoltre, essendo elevata anche la selettività dell'attacco di silicio rispetto all'attacco di nitruro (circa 90:1), la perdita di spessore dello strato 112 di nitruro risulta anch'essa molto limitata. E' quindi possibile utilizzare lo strato 112 di nitruro come hardmask, senza ricorrere ad elevati spessori di nitruro. In particolare, lo spessore di tale strato si mantiene, anche dopo la fase di attacco, ad un livello che rende possibile il suo utilizzo eventualmente anche in successive fasi di lavorazione (come schematicamente illustrato nelle Figure 11A ed 11B, che verranno descritte in seguito in maniera più dettagliata).

Completata la fase di realizzazione del trench 104 di dielettrico, il processo d'integrazione prevede una fase di ossidazione (in un esempio preferito di realizzazione, di circa  $4000 \div 5000 \text{ \AA}$ ) che interessa anche le pareti laterali 114 del trench 104 di dielettrico (come schematicamente illustrato nella Figura 10F).

E' opportuno notare che, grazie all'ampiezza dell'apertura fotolitografica del trench 104 di dielettrico, tale fase di ossidazione laterale di entrambe le pareti 114 non provoca la chiusura dielettrica del trench 104 stesso. In tal modo, vantaggiosamente secondo l'invenzione, si riescono a ridurre gli effetti di stress indotti nel substrato SOI 103.

Inoltre la presenza dello strato 112 di nitruro sulla superficie del dispositivo semiconduttore 100 non permette la crescita di ossido. In pratica, ci si trova di fronte alla formazione di un sottile strato di ossinitruro 115 che non risulta dannoso per il buon funzionamento del dispositivo semiconduttore 100.

In prossimità del bordo del trench 104, dove lo strato 112 di nitruro si interrompe, si forma una struttura 116 a becco di uccello, tecnicamente nota come struttura LOCOS (local oxidation).

- 16 -

A differenza della sequenza riportata in arte nota, la selettività dell'attacco dello strato 112 di nitrato di hardmask rispetto all'ossido consente una maggiore versatilità della realizzazione del trench 104 e della sacca 200 d'isolamento a dielettrico in generale.

- 5 E' comunque possibile rimuovere lo strato 112 di nitrato di hardmask se richiesto da particolari esigenze di struttura, quali ad esempio la crescita di uno strato di ossidazione cosiddetto di sidewall anche sulla superficie del silicio (come schematicamente illustrato nelle Figura 12A e 12B, che verranno descritte in seguito in maniera più dettagliata), la realizzazione di
- 10 fasi di impiantazione ionica a bassa energia sulla superficie del silicio, la deposizione di uno strato di dielettrico di spessore uniforme su tutta la fetta (contemporaneamente sulla superficie del dispositivo semiconduttore 100 e all'interno del trench 104).

- 15 In quest'ultimo caso, è anche possibile pensare di rimuovere lo strato 111 di ossido di pad dalla superficie del dispositivo semiconduttore 100 senza degradare sensibilmente lo spessore dello strato 102 di ossido sepolto. Infatti, essendo lo spessore dello strato 111 di ossido di pad molto sottile, la riduzione dello spessore dello strato 102 di ossido sepolto come conseguenza di una fase di attacco di tale strato 111, risulterebbe del tutto trascurabile
- 20 anche nel caso di tecnologie che prevedono l'utilizzo di substrati tipo SOI con strato 102 di ossido sepolto sottile.

E' possibile utilizzare tale soluzione, ad esempio, nel caso di un ossido sepolto realizzato tramite tecnica SIMOX, che prevede spessori dello strato 102 di ossido sepolto dell'ordine di qualche migliaio di Angstrom.

- 25 Al contrario, nella sequenza di processo secondo arte nota, la realizzazione della struttura isolante a trench dopo la definizione dell'ossido di campo impone la necessità di preservare lo spessore di tale strato di ossido di campo, tramite l'utilizzo di uno strato di nitrato dedicato, durante tutte le fasi di attacco necessarie per la realizzazione del trench stesso.
- 30 Il processo d'integrazione secondo l'invenzione comprende quindi una fase di riempimento del trench 104 di dielettrico tramite una deposizione di polisilicio 105 di riempimento su tutta la superficie del dispositivo semiconduttore 100 (come schematicamente illustrato nella Figura 10G).



- 17 -

E' opportuno notare che lo spessore del polisilicio 105 deve essere tale da chiudere il trench 104. In un esempio preferito di realizzazione, si utilizza un polisilicio 105 dello spessore circa  $7000 \div 8000 \text{ \AA}$

5 Si realizza quindi una fase di planarizzazione della superficie del dispositivo semiconduttore 100 tramite un attacco del polisilicio 105, denominato etchback. Tale attacco comprende, in modo noto al tecnico del ramo, una prima parte isotropa (in wet) per eliminare la struttura LOCOS 116 presente sulla sommità del trench 104 a seguito della deposizione di silicio amorfo ed  
10 una seconda parte anisotropa (in dry) a endpoint (seguita da una fase di overetch) sul sottostante strato 112 di nitrato (come schematicamente illustrato nella Figura 10H).

In realtà, lo strato 112 di nitrato risulta coperto dal sottile strato 115 di ossinitrato dovuto, ad esempio, ad una precedente fase ossidazione di sidewall. L'ossinitrato di tale strato 115 presenta però una selettività  
15 maggiore di 10:1, rispetto all'attacco etchback del polisilicio, e non risulta quindi un problema per tale fase di attacco.

Il processo d'integrazione prosegue con una fase di copertura della superficie del dispositivo semiconduttore 100 con uno strato protettivo di resist e con  
20 una fase di attacco del polisilicio (in dry) sul retro della fetta, denominato backetch.

La fase di backetch è seguita da una fase di rimozione dell'insieme dello strato 112 di nitrato e del sottostante strato 111 di ossido di pad mediante  
25 attacco in wet ed una fase di ossidazione per realizzare sulla superficie un sottile strato 117 di ossido (come schematicamente illustrato nella Figura 10I), che funge da ossido preimpianto per i successivi impianti da realizzare

E' possibile prevedere la rimozione del solo strato 112 di nitrato di hardmask: in questo caso la fase di ossidazione non risulta necessaria.

Nel caso preso in considerazione di un dispositivo semiconduttore 100 realizzato in tecnologia BiCMOS, il processo d'integrazione secondo  
30 l'invenzione comprende inoltre una pluralità di fasi di mascheratura (deposizione e sviluppo di uno strato di resist), impianto e annealing allo scopo di integrare laddove necessario, strati di sinker di tipo n e di tipo p per la realizzazione dei vari componenti.

- 18 -

Durante una di queste fasi, è possibile anche drogare il polisilicio 105 di riempimento del trench 104 (con drogante di tipo n o di tipo p), utilizzando lo stesso drogante utilizzato per l'integrazione degli strati di sinker. Il drogaggio del polisilicio 105 di riempimento potrebbe anche essere realizzato in situ durante il processo di deposizione.

Per tecnologie che non necessitano di strati di sinker, come ad esempio le tecnologie MOS, ma necessitano comunque di un arricchimento del polisilicio 105 di riempimento del trench 104 di dielettrico, è possibile prevedere, subito dopo la fase di planarizzazione o etchback, una ulteriore fase di ossidazione dello strato 117 di ossido preimpianto ed una fase di impianto di arricchimento su tutta la superficie del dispositivo semiconduttore 100 il cui drogante risulta vantaggiosamente autoallineato sulle regioni del trench 104 grazie alla presenza della struttura LOCOS 116 (come schematicamente illustrato nella Figura 10L).

L'autoallineamento del drogante di arricchimento del polisilicio 105 all'interno del trench 104 risulta essere una proprietà intrinseca del processo d'integrazione secondo l'invenzione grazie alla presenza dello strato 112 di nitrato attorno al trench e della sottostante struttura 116 a becco di uccello in prossimità della superficie del trench 104 stesso.

Nel caso d'integrazione di tecnologie BiCMOS, se l'energia dell'impianto di arricchimento fosse tale da non permettere l'utilizzo dello strato 112 di nitrato di hardmask, oppure nel caso in cui uno schermo realizzato con tale strato 112 di nitrato risultasse critico rispetto ad un potenziale debordo del drogante all'esterno del trench 104, o ancora tale strato 112 di nitrato di hardmask fosse stato già rimosso subito dopo la fase di backetch del polisilicio, è opportuno notare che nel processo d'integrazione secondo l'invenzione il drogante di arricchimento risulterebbe in ogni caso autoallineato al trench 104 per via della struttura LOCOS 116 attorno al trench 104. In tal caso, è sufficiente arretrare uno strato 118 di resist di mascheratura, previsto per definire opportune aperture C in corrispondenza di regioni arricchite profonde o strati di sinker 119, rispetto al becco di uccello della struttura LOCOS 116 (come schematicamente illustrato nella Figura 10M).

Nel caso esplicito di integrazione di tecnologie che prevedono l'integrazione di

- 19 -

componenti bipolari (come per esempio BiCMOS), la sequenza di processo sin qui descritta mostra un'altra interessante caratteristica, vale a dire l'autoallineamento degli strati di sinker 119 rispetto al trench 104. In particolare, per ottenere tale autoallineamento è sufficiente eliminare lo strato 118 di resist di mascheratura attorno al trench 104 dal lato della  
5      sacca 200 in cui si deve integrare lo strato di sinker 119 (come schematicamente illustrato nella Figura 10N).

Vantaggiosamente, in queste condizioni, l'autoallineamento degli strati profondi di sinker permette di compattare al massimo la struttura del  
10      componente da integrare.

Dopo avere integrato gli strati di sinker 119, prima di definire l'area attiva dei componenti, possono realizzarsi ulteriori fasi di mascheratura, impianto e annealing allo scopo di realizzare laddove necessario gli strati di p-well e n-well per l'integrazione di componenti bipolari e unipolari complementari.

15      Vantaggiosamente secondo l'invenzione, l'integrazione di questi strati viene effettuata prima della definizione dell'area attiva allo scopo di realizzare strutture che si allineano al trench 104 che delimita la sacca 200 d'isolamento e viceversa non risultano vincolate dall'allineamento imposto dalla successiva definizione di una struttura LOCOS 116\* relativa all'area  
20      attiva.

In Figura 10O, è illustrata a titolo d'esempio una integrazione di una sacca 120 di tipo p-well, effettuata prima di definire l'area attiva dei componenti, ma dopo aver realizzato lo strato di sinker 119, utilizzando un ulteriore strato 121 di mascheratura.

25      L'indipendenza dall'autoallineamento degli strati definiti prima dell'area attiva rispetto a quelli definiti dopo, comporta una più ampia versatilità d'integrazione dei componenti all'interno della sacca 200 d'isolamento ottenuta con il processo d'integrazione secondo l'invenzione, come vedremo più dettagliatamente in seguito.

30      Il processo d'integrazione secondo l'invenzione comprende in tal caso, dopo una fase di definizione di strati di p-well ed n-well tramite fotomascheratura, impianto e annealing, una fase di definizione di aree attive di componenti, ad esempio tramite la nota tecnica LOCOS. Tale fase di definizione delle aree

- 20 -

attive prevede quindi una rimozione del precedente strato 117 di ossido preimpianto, una crescita di un altro strato 122 di ossido sottile (in un esempio preferito di realizzazione, con spessore del valore di circa  $200 \div 300 \text{ \AA}$ ) detto anch'esso ossido di pad, una deposizione di uno strato 123 di nitruro (in un esempio preferito di realizzazione, con spessore del valore di circa  $600 \div 700 \text{ \AA}$ ) ed un processo di fotomascheratura e attacco di tale strato 123 di nitruro in corrispondenza di regioni 124 cosiddette di campo (come schematicamente illustrato nella Figura 10P).

Durante il processo di mascheratura, sui trench 104 su cui si vuole realizzare il contatto del polisilicio 105 di riempimento (nell'esempio considerato, il trench B), lo strato 123 di nitruro non viene rimosso così da evitare la crescita dell'ossido 106 di campo. E' opportuno notare che, vantaggiosamente secondo l'invenzione, in fase di definizione dei contatti, la superficie dell'interno del trench 104 presenta quindi lo stesso grado di planarità delle regioni attive.

Il processo d'integrazione secondo l'invenzione prosegue quindi con una fase di ossidazione (in un esempio preferito di realizzazione, per uno spessore di circa  $6000 \div 7000 \text{ \AA}$ ), di modo che sulle regioni 124 in cui è stato rimosso lo strato 123 di nitruro si forma lo strato 106 di ossido di campo (come schematicamente illustrato nella Figura 10Q).

Definita in tal modo l'area attiva, il processo d'integrazione prosegue in maniera nota con l'integrazione degli strati di superficie per la realizzazione dei vari tipi di componenti (unipolari e bipolari). In particolare, sono previste le seguenti fasi:

- rimozione dell'insieme dello strato 123 di nitruro e dello strato 122 di ossido sottile di pad, e successiva crescita e rimozione di un ossido sacrificale (in un esempio preferito di realizzazione, avente uno spessore di circa  $200 \div 300 \text{ \AA}$ ), come schematicamente illustrato nella Figura 10R;

- crescita di un ossido di gate (in un esempio preferito di realizzazione, con uno spessore di circa  $70 \div 150 \text{ \AA}$ ) e deposizione di uno strato di polisilicio (in un esempio preferito di realizzazione, con uno spessore di circa  $3000 \div 4000 \text{ \AA}$ ) per la definizione di un terminale di gate per componenti unipolari;

- 21 -

- deposizione di uno strato di dielettrico (in un esempio preferito di realizzazione, con uno spessore di circa  $3000 \div 4000 \text{ \AA}$ ) per la formazione di uno spacer;

5        - definizione di tutti gli altri strati necessari per l'integrazione delle strutture dei vari componenti (come schematicamente illustrato nella Figura 10S per le regioni di body, base, source, drain ed emettitore).

10       E' opportuno notare che, dopo il completamento delle fasi di lavorazione sopra indicate, gli strati di superficie risultano autoallineati lungo le regioni perimetrali della sacca 200 grazie alla presenza della struttura LOCOS 116\* a becco d'uccello oppure risultano allineati nelle regioni interne realizzate grazie allo strato 118 di fotoresist di mascheratura, a seconda delle necessità.

15       Inoltre, risulta così evidente come l'indipendenza dall'autoallineamento degli strati definiti prima dell'area attiva rispetto a quelli definiti dopo, comporta una più ampia versatilità d'integrazione dei componenti all'interno della sacca 200 d'isolamento.

20       Le strutture a becco di uccello attorno al trench 104 che si vengono a formare durante la fase di ossidazione di sidewall, così come durante la fase di ossidazione di campo, fissano una distanza minima tra gli strati su di esse autoallineati e il dielettrico laterale del trench 104.

25       In particolare, nel caso degli strati autoallineati dalla struttura LOCOS 116 originata durante la fase di ossidazione di sidewall, essendo questi gli strati di bulk e quindi più profondi e diffusi della tecnologia (sinker, p-well, n-well) la diffusione laterale del drogante risulta maggiore della distanza minima dovuta all'autoallineamento e quindi a diretto contatto con l'ossido di sidewall del trench 104, evitando così la formazione di giunzioni pn di superficie in prossimità del trench 104.

30       E' importante ricordare infatti che la presenza di una sacca p a livello superficiale lateralmente al trench 104 comporta la presenza di una giunzione pn di superficie dovuta allo strato intermedio n che la separa dal trench 104 stesso (giunzione pn di superficie). In tal caso, lo svuotamento di tale giunzione pn di superficie andrebbe a diretto contatto con il trench 104 stesso.

- 22 -

Vantaggiosamente secondo l'invenzione, il diretto contatto della diffusione laterale del drogante con l'ossido di sidewall del trench 104 evita che la regione di svuotamento delle giunzioni pn di superficie contatti le pareti 114 del trench 104 stesso provocando potenziali fenomeni di leakage. Ad esempio, come schematicamente illustrato nella Figura 100, lo strato 120 di p-well risulta a diretto contatto con il trench B, evitando la formazione di giunzioni pn superficiali.

Tale strato 120 realizza una giunzione pn di bulk, il cui svuotamento non interessa però le regioni di superficie.

10 Nel caso degli strati autoallineati dalla struttura LOCOS 116\* originata durante la fase di ossidazione di campo, essendo questi gli strati che formano le strutture di superficie dei componenti e quindi gli strati sottili e poco diffusi della tecnologia (basi, emettitori, source, drain, arricchimenti), la diffusione laterale del drogante risulta minore della distanza minima dovuta  
15 alla struttura LOCOS 116\* di autoallineamento, si originano quindi delle giunzioni pn superficiali le cui regioni di svuotamento potrebbero causare potenziali fenomeni di leakage.

Vantaggiosamente secondo l'invenzione, l'indipendenza d'integrazione degli strati di bulk rispetto agli strati di superficie permette di assicurare la  
20 continuità elettrica del drogante degli strati di superficie rispetto al trench. E' sufficiente a tal fine integrare preventivamente laddove necessario in corrispondenza della presunta giunzione superficiale di intercapedine che si formerebbe successivamente alla formazione della ossidazione di campo, una porzione di uno strato di bulk con drogante dello stesso segno del drogante  
25 dello strato di superficie, la cui ampiezza deve essere tale da garantire la continuità elettrica tra i due strati.

La sacca 200 dielettricamente isolata mediante i trench 104 risulta molto quindi particolarmente adatta e versatile per la realizzazione di strutture di bordo per la tenuta in tensione dei dispositivi o di tutte quelle strutture che  
30 permettono in generale la realizzazione di dispositivi che richiedono una più alta tensione di funzionamento (VDMOS, MOS-drift, ecc.).

Completate le strutture dei vari componenti, il processo d'integrazione secondo l'invenzione prevede una fase di deposizione di uno strato di

- 23 -

dielettrico 108 di isolamento, in questo caso del VAPOX (circa 3000Å) necessario per isolare superficialmente, come è noto, i vari componenti l'uno dall'altro.

5 Il processo d'integrazione viene completato da una fase di apertura delle regioni di contatto (anche sui trench 104 per i quali si desidera disporre del contatto metallico, come nel caso del trench B), e si procede quindi con una sequenza ben nota di fasi per il completamento dell'integrazione dei restanti strati di superficie quali metallizzazioni, dielettrici isolanti, passivante (come schematicamente illustrato nella Figura 10S).

10 L'integrazione del dispositivo semiconduttore 100 in tecnologia BiCMOS con isolamento a dielettrico secondo l'invenzione risulta in tal modo completata.

E' opportuno precisare che il dispositivo semiconduttore 100 ottenuto con il processo d'integrazione secondo l'invenzione e schematicamente illustrato nella Figura 10S comprende uno strato sepolto 102 di tipo n dal momento  
15 che come esempio di integrazione di dispositivo all'interno della sacca è stato scelto un componente bipolare npn.

Più in generale, all'interno della sacca 200 d'isolamento è possibile prevedere di realizzare strati sepolti di tipo n o di tipo p in funzione del tipo di dispositivi che saranno integrati all'interno di tale sacca 200. Tali strati  
20 sepolti realizzano ad esempio le regioni di collettore e/o di drain rispettivamente nel caso di componenti bipolari e unipolari.

Inoltre, è possibile ottenere strati sepolti di tipo p o di tipo n durante la fabbricazione del substrato SOI 103, tramite una fase iniziale d'impianto sull'intera superficie del retro del device-wafer prima del processo di  
25 bonding, oppure tramite mascheratura, impianto e annealing sulla superficie del device-wafer e successiva crescita epitassiale. Tali procedimenti ben noti sono applicabili anche a substrati SOI di spessore relativamente sottile.

Vantaggiosamente secondo l'invenzione, una variante di realizzazione della sacca 200 d'isolamento, che presenta le stesse caratteristiche strutturali,  
30 prevede l'utilizzo di un solo strato di nitruro, sia come strato di hardmask per la realizzazione del trench sia per la definizione delle aree attive dei componenti.

- 24 -

Tale variante di realizzazione è illustrata schematicamente nelle Figure 11A e 11B.

In tali Figure, si è preso in considerazione un dispositivo semiconduttore 100 come appare dopo la fase di attacco etchback del polisilicio (come schematicamente illustrato nella Figura 10H).

Secondo tale variante del processo d'integrazione secondo l'invenzione, non viene rimosso l'insieme dello strato 112 di nitruro e dello strato 111 di ossido di pad (come schematicamente illustrato nella Figura 11A). Si procede quindi direttamente al drogaggio del polisilicio 105 di riempimento del trench 104 tramite il drogante utilizzato per definire le regioni di sinker 119, come visto in precedenza.

La presenza dello strato 112 di nitruro di hardmask residuo su tutta la superficie del dispositivo semiconduttore 100 impone che gli impianti necessari per la definizione delle regioni di sinker 119 così come gli strati di p-well ed n-well siano realizzati ad energia leggermente più elevata.

Le regioni di sinker 119 possono essere integrate opzionalmente rimuovendo lo strato 112 di nitruro tramite una fase di mascheratura e attacco poiché l'alta dose con cui vengono realizzati gli strati associati alla più alta energia d'impiantazione richiesta per attraversare lo strato 112 di nitruro potrebbe limitarne la realizzazione alla fase di impianto.

Poiché lo strato 112 di nitruro di hardmask viene utilizzato anche per definire le aree attive dei componenti, la rimozione di tale strato 112 di nitruro sulle regioni di sinker 119 comporta la crescita su di esse dell'ossido 106 di campo. In pratica, questo non comporta alcun problema ai fini del funzionamento dei dispositivi integrati così ottenuti dal momento che le regioni di sinker 119 risultano notoriamente separate dalle regioni attive tramite lo stesso ossido di campo.

Lo stesso ragionamento può ripetersi anche per la superficie dei trench 104 per i quali adesso l'assenza di un secondo strato di nitruro per la definizione delle regioni di contatto comporta la crescita dello strato 106 di ossido di campo (come schematicamente illustrato nella Figura 11B).

In tal caso, prima della definizione del dielettrico d'isolamento di superficie



- 25 -

dei componenti, l'apertura dei contatti sulle regioni di sinker 119 e sul polisilicio 105 di riempimento del trench 104, richiede un processo di fotomascheratura e attacco per la rimozione dello strato 106 di ossido spesso.

- 5 Il resto della sequenza di processo rimane invariata a quanto sopra descritto fino al completamento della struttura.

Vantaggiosamente secondo l'invenzione, è possibile prevedere una ulteriore variante di realizzazione della sacca 200 d'isolamento illustrata schematicamente nelle Figura 12A e 12B.

- 10 Tale variante di realizzazione prevede anch'essa l'utilizzo di un solo strato 112 di nitrato, ma anche la rimozione di tale strato subito dopo la definizione del trench 104. In tal caso è possibile anche prevedere la rimozione del sottile strato 111 di ossido di pad sottostante.

- 15 In particolare, nelle Figure 12A e 12B, si è preso in considerazione un dispositivo semiconduttore 100 come appare dopo la fase di attacco del trench (come schematicamente illustrato nella Figura 10E).

- 20 Secondo tale variante, il processo d'integrazione secondo l'invenzione prevede un fase di rimozione dello strato 112 di nitrato (ed opzionalmente anche dello strato 111 di ossido di pad) nonché una fase di ossidazione (in un esempio preferito di realizzazione, per uno spessore di circa  $4000 \div 5000 \text{ \AA}$ ) che interessa anche le pareti laterali 114 del trench 104. E' opportuno notare che l'assenza dello strato 112 di nitrato comporta la crescita di uno strato 125 di ossido anche sulla superficie del dispositivo semiconduttore 100.

- 25 Si procede quindi con una fase di deposizione del polisilicio 105 di riempimento del trench 104 (come schematicamente illustrato nella Figura 12A), e con una fase di planarizzazione in modo da rimuovere il polisilicio sulla superficie della fetta.

- 30 Ad esempio, questa fase di planarizzazione può essere realizzata a endpoint sullo strato 125 di ossido sottostante seguito da un overetch per arretrare il polisilicio 105 sino al livello d'interfaccia silicio-ossido.

Si esegue quindi una fase di ossidazione preimpianto (in un esempio

- 26 -

preferito di realizzazione, per uno spessore di circa  $200 \div 300 \text{ \AA}$ , ottenendo la crescita di un ossido preimpianto 126 solo sul polisilicio 105 di riempimento del trench 104 (dove desiderato) e non sulla restante superficie del dispositivo semiconduttore 100 dove la presenza del consistente spessore dello strato 125 di ossido ne impedisce una crescita significativa.

Vantaggiosamente secondo l'invenzione, nel caso di un dispositivo semiconduttore 100 integrato con tecnologia MOS, analogamente a quanto fatto in precedenza, è possibile arricchire il polisilicio 105 di riempimento tramite un impianto su tutto il dispositivo semiconduttore 100, il considerevole spessore dello strato 125 di ossido presente su tutta la superficie (tranne sul trench 104 dove si trova il polisilicio 105 di riempimento scoperto) permettendo il drogaggio del polisilicio 105 all'interno del trench 104 in modo autoallineato.

Anche nel caso più generale di integrazione di tecnologie BiCMOS, il drogaggio del polisilicio 105 avviene come descritto in precedenza (ad esempio, contemporaneamente all'integrazione delle regioni di sinker 119). Si definisce quindi l'area attiva dei componenti, con un processo di mascheratura e attacco in modo da rimuovere lo strato 125 di ossido spesso sulla superficie del dispositivo semiconduttore 100. Si procede quindi all'integrazione degli strati di p-well e di n-well (come schematicamente illustrato nella Figura 12B).

Da questo punto in poi, il resto della sequenza di processo rimane invariata a quanto sopra descritto fino al completamento del dispositivo semiconduttore 100.

La sostanziale differenza del dispositivo semiconduttore 100 con struttura d'isolamento a trench ottenuta secondo tale ulteriore variante di realizzazione del processo d'integrazione secondo l'invenzione è un minore grado di planarità della superficie del dispositivo semiconduttore 100 dovuto all'assenza dello strato di nitruro per la definizione dell'area attiva (e quindi della nota tecnica LOCOS). D'altro canto, però, la sacca 200 d'isolamento risulta più compatta proprio per l'assenza di strutture a becco di uccello tutto intorno al perimetro del trench 104, gli strati che formano le strutture dei componenti risultando pertanto allineati semplicemente mediante l'utilizzo di uno strato di fotoresist di mascheratura.

- 27 -

Vantaggiosamente secondo l'invenzione, gli strati di p-well ed n-well, a differenza di quanto descritto in precedenza, sono stati realizzati dopo la definizione dell'area attiva, la naturale indipendenza dell'autoallineamento dagli strati di bulk rispetto agli strati di superficie venendo a mancare a causa dell'assenza delle strutture LOCOS. Una certa indipendenza tra detti strati può comunque essere ancora realizzata, laddove necessario, tramite mascheratura con un opportuno strato di resist durante la fase di drogaggio.

Inoltre, la continuità elettrica del drogante degli strati di bulk di tipo p sino al trench di dielettrico 104 (come per esempio il p-well, in modo da evitare giunzioni superficiali pn verso il trench stesso), richiede la locale rimozione di una parte 127 dell'ossido 106 spesso di campo dal lato del trench 104 interno alla sacca 200 d'isolamento, durante la definizione dell'area attiva (come schematicamente illustrato nella Figura 12B per il trench B).

E' possibile prevedere una ulteriore variante di realizzazione della sacca 200 d'isolamento illustrata schematicamente nelle Figure 13A e 13B.

Tale variante di realizzazione prevede anch'essa l'utilizzo di un solo strato di nitruro, ma permette anche di mantenere l'indipendenza dall'autoallineamento degli strati di bulk rispetto agli strati di superficie in modo intrinseco alla struttura. In tal caso è possibile anche evitare la fase di ossidazione di campo prevista nella precedente variante del processo d'integrazione secondo l'invenzione.

Si è preso in considerazione un dispositivo semiconduttore 100 come appare dopo la fase di attacco del trench (come schematicamente illustrato nella Figura 10H).

Secondo tale variante del processo d'integrazione secondo l'invenzione, si prevede una fase di ossidazione per formare sulla superficie del polisilicio 105 di riempimento del trench 104 uno strato 128 di ossido sottile ed una susseguente fase di rimozione dello strato 112 di nitruro di hardmask (come schematicamente illustrato nella Figura 13A).

Tale variante del processo d'integrazione secondo l'invenzione prevede inoltre una fase di drogaggio del polisilicio 105 di riempimento del trench 104, una fase di integrazione degli strati di bulk (come schematicamente illustrato nella Figura 13B) ed una fase di integrazione dei restanti strati di superficie

- 28 -

come visto in precedenza.

5 E' opportuno notare che la mancanza dello strato 106 di ossido di campo non comporta alcun problema strutturale poiché l'isolamento laterale realizzato dai trench 104 di dielettrico e la struttura LOCOS 116 attorno ad essi risultano sufficienti all'isolamento dielettrico e al funzionamento dei componenti all'interno della sacca 200. L'area attiva del dispositivo semiconduttore 100 coincide in tal caso sostanzialmente con l'area delimitata dai trench 104.

10 Inoltre, l'assenza dello strato 106 di ossido spesso anche nella regione d'isolamento tra base e collettore dei componenti bipolari e tra body e drain dei componenti VDMOS (regione definita mediante uno strato di ossido spesso anche nei dispositivi realizzati secondo l'arte nota), non comporta alcun problema per via della presenza del dielettrico d'isolamento integrato nella fase di realizzazione dei contatti, soprattutto nel caso di componenti di  
15 bassa tensione.

A titolo di esempio non limitativo, le Figure 14A e 14B mostrano un esempio di versatilità della struttura della sacca 200 d'isolamento secondo invenzione. In particolare, viene prevista una connessione dello strato di polisilicio per la definizione del terminale di gate di componenti unipolari con  
20 lo strato di polisilicio 105 di riempimento del trench o con regioni all'interno della sacca 200 d'isolamento.

E' opportuno notare che lo strato di polisilicio di gate può inoltre essere utilizzato per la realizzazione di piste di interconnessioni dei componenti tra sacca e sacca.

25 Si è preso in considerazione un dispositivo semiconduttore 100 dopo la formazione dello strato 106 di ossido di campo (come schematicamente illustrato nella Figura 10Q). Il processo d'integrazione secondo l'invenzione prevede una fase di rimozione dell'insieme dello strato 112 di nitrato e dello strato 111 di ossido di pad sottostante.

30 Si effettuano quindi una fase di crescita e rimozione di un ossido sacrificale, una fase di crescita di un ossido 129 di gate ed una fase di mascheratura e attacco di tale ossido 129 di gate sulle regioni volute, per esempio all'interno della sacca 200 e/o sul polisilicio 105 di riempimento (come

- 29 -

schematicamente illustrato nella Figura 14A).

A questo punto si effettua una fase di deposizione di uno strato 130 di polisilicio per la definizione della struttura del terminale di gate dei componenti unipolari, tale strato 130 di polisilicio di gate servendo anche  
5 come strato di interconnessione tra le diverse strutture integrate.

E' noto effettuare un drogaggio dello strato 130 di polisilicio di gate in situ, durante la fase stessa di deposizione, oppure utilizzando gli impianti di arricchimenti previsti successivamente per la definizione delle regioni di emettitore e di source dei componenti integrati nel dispositivo  
10 semiconduttore 100.

Nel realizzare il dispositivo semiconduttore 100 illustrato nelle Figure 14A e 14B si utilizza l'accorgimento di preventivamente arricchite con del drogante (di tipo p o di tipo n) le regioni di contatto dello strato 130 di polisilicio di gate con il silicio del dispositivo semiconduttore 100, per ridurre la  
15 resistenza di contatto. Per questa operazione, del tutto convenzionale, si possono utilizzare per esempio i droganti utilizzati per la definizione delle regioni di sinker 119 oppure utilizzare una fase di mascheratura e impianto dedicato oppure ancora utilizzare una fase di impianto già presente nel processo d'integrazione.

Si procede quindi a rimuovere (tramite una ulteriore fase di mascheratura ed attacco) lo strato 130 di polisilicio di gate sulle regioni non volute (come schematicamente illustrato nella Figura 14B).

Infine, regioni 130\* di polisilicio così ottenute vengono dielettricamente isolate tramite una fase di ossidazione che realizza uno strato di ossido da  
25 utilizzare come ossido preimpianto per l'integrazione degli strati successivi.

E' opportuno notare che il dispositivo semiconduttore 100 illustrato in Figura 14B presenta un contatto tra lo strato 130 di polisilicio di gate ed una regione all'interno della sacca 200, ad esempio lo strato di sinker 119, oltre che sul polisilicio 105 di riempimento del trench B. Allo stesso modo possono  
30 essere contattate altre strutture laddove è necessario.

Questa variante di struttura richiede soltanto una fase di mascheratura aggiuntiva e risulta molto efficace per la progettazione di dispositivi resistenti

- 30 -

alle radiazioni ionizzanti, la possibilità di polarizzare il polisilicio 105 di riempimento e/o sulle regioni a contatto con l'interno della sacca 200, permette di interdire eventuali componenti parassita (MOS parassita lungo canali superficiali, leakage tra sacche contigue, instabilità al breakdown, ecc.) generati dagli effetti prodotti dalle radiazioni ionizzanti.

Nella descrizione precedente delle varie fasi del processo d'integrazione secondo l'invenzione, per semplicità d'esposizione, è stata omessa la descrizione dettagliata delle fasi di processo mirate ad evitare la crescita di difetti quali per esempio la crescita di ossidi preimpianto e di ossidi sacrificali, in quanto convenzionali. Tali accorgimenti di realizzazione sono comunque utilizzati, laddove necessario, all'interno del processo d'integrazione secondo l'invenzione.

E' inoltre possibile prevedere combinazioni delle fasi di processo descritte in relazione al processo d'integrazione secondo l'invenzione ed alle sue varianti, in maniera da generare altre strutture per la sacca 200.

In conclusione, la descrizione del processo d'integrazione secondo l'invenzione e delle sue possibili varianti, mette in luce come la sacca d'isolamento 200 realizzata secondo invenzione risulta molto versatile a qualsiasi variazione o integrazione di processo e/o di struttura.

In generale, si intuisce infatti facilmente come qualsiasi variante di struttura richiesta da particolari esigenze applicative può facilmente essere innestata in qualsiasi punto della sequenza di processo senza arrecare stravolgimenti complessi alla sequenza di processo o fasi di processo laboriose.

Tali caratteristiche vantaggiose sono legate principalmente all'utilizzo dello strato 112 di nitrato come hardmask ed alla scelta di anticipare l'integrazione del trench 104 prima della definizione dell'area attiva dei componenti del dispositivo semiconduttore 100.

Questi due particolari accorgimenti di realizzazione, oltre a comportare una notevole versatilità della sacca 200 d'isolamento così ottenuta a eventuali modifiche di processo, comporta anche dei vantaggi come l'autoallineamento del drogante di arricchimento del polisilicio 105 di riempimento del trench 104 e il naturale disaccoppiamento dell'integrazione degli strati di bulk dei componenti rispetto alle strutture di superficie, a vantaggio di una ulteriore

- 31 -

versatilità e potenzialità della sacca 200 d'isolamento verso l'integrazione di strutture e varianti di struttura più complesse.

5 Infine, il processo d'integrazione secondo l'invenzione permette di realizzare una sacca d'isolamento con una sequenza di fasi molto più semplice e quindi meno onerosa di quella utilizzata nell'arte nota. Per fare ciò, il processo d'integrazione secondo l'invenzione prevede di realizzare i trench 104 prima dell'ossido 106 di campo e di utilizzare uno strato di nitrato cresciuto sullo strato 111 di ossido di pad come hardmask in modo da eliminare la problematica inerente l'attacco dello strato 102 di ossido sepolto durante la rimozione di tale hardmask.

10

- 32 -

## RIVENDICAZIONI

1. Processo di integrazione su un substrato di tipo SOI (103) di un dispositivo semiconduttore (100) includente almeno una sacca (200) dielettricamente isolata, del tipo comprendente:

- 5        - una fase di ossidazione, per realizzare uno strato (111) di ossido;
- una fase di deposizione, al di sopra di detto strato (111) di ossido di uno strato (112) di nitruro, ed
- 10       - una fase di mascheratura, realizzata al di sopra di detto strato (112) di nitruro mediante uno strato (113) di resist, per definire opportune aperture fotolitografiche per realizzare almeno un trench (104) di dielettrico atto a garantire l'isolamento laterale di detta sacca (200);

caratterizzato dal fatto di prevedere ulteriormente:

- 15       - una fase di attacco di detto strato (112) di nitruro e di detto strato (111) di ossido, opportunamente mascherati mediante detto strato (113) di resist, nella quale detto strato (112) di nitruro viene utilizzato come hardmask,
- 20       - una fase di realizzazione di detto almeno un trench (104) di dielettrico comprendente almeno una fase di attacco di detto substrato (103), una fase di ossidazione almeno di pareti laterali (114) di detto almeno un trench (104) di dielettrico ed una fase di riempimento di detto almeno un trench (104) mediante materiale (105) di riempimento, ed
- una fase di definizione di area attiva di componenti da integrare in detta sacca (200) effettuata solo dopo detta fase di realizzazione di detto almeno un trench (104) di dielettrico.
- 25       2. Processo di integrazione secondo la rivendicazione 1, caratterizzato dal fatto che detta fase di ossidazione di dette pareti laterali (114) di detto almeno un trench (104) di dielettrico non ne provoca una chiusura dielettrica, e dal fatto che, durante detta fase di ossidazione, detto strato (112) di nitruro sulla superficie di detto dispositivo semiconduttore (100)
- 30       impedisce una crescita di ossido.



- 33 -

3. Processo di integrazione secondo la rivendicazione 1, caratterizzato dal fatto di prevedere ulteriormente una fase di rimozione di detto strato (112) di nitrato di hardmask ed una ulteriore fase di crescita di uno strato di ossidazione sulla superficie di detto dispositivo semiconduttore (100).
- 5 4 Processo di integrazione secondo la rivendicazione 3, caratterizzato dal fatto di prevedere ulteriormente una ulteriore fase di rimozione di detto strato (111) di ossido.
- 10 5. Processo di integrazione secondo la rivendicazione 1, caratterizzato dal fatto che detta fase di ossidazione genera una pluralità di strutture (116) a becco d'uccello ai bordi di detto almeno un trench (104) di dielettrico dove detto strato (112) di nitrato si interrompe.
- 15 6. Processo di integrazione secondo la rivendicazione 5, caratterizzato dal fatto di prevedere una ulteriore fase di planarizzazione della superficie di detto dispositivo semiconduttore (100) tramite un attacco di tipo etchback di detto materiale (105) di riempimento, atta ad eliminare detta pluralità di strutture (116) a becco d'uccello.
- 20 7. Processo di integrazione secondo la rivendicazione 5, caratterizzato dal fatto che detta fase di ossidazione genera un diretto contatto di dette pareti (114) di detto trench (104) con almeno uno strato drogato superficiale (120).
- 25 8. Processo di integrazione secondo la rivendicazione 1, caratterizzato dal fatto che detta fase di riempimento di detto almeno un trench prevede l'utilizzo di un materiale (105) di riempimento avente spessore tale da chiudere detto almeno un trench (104) di dielettrico.
9. Processo di integrazione secondo la rivendicazione 1, caratterizzato dal fatto di prevedere ulteriormente una fase di drogaggio di detto materiale (105) di riempimento.
- 30 10. Processo di integrazione secondo la rivendicazione 9, caratterizzato dal fatto che detta fase di drogaggio viene effettuata durante una fase di impianto di almeno uno strato impiantato necessario alla realizzazione di componenti da integrare in detta sacca (200).
11. Processo di integrazione secondo la rivendicazione 9, caratterizzato dal

- 34 -

fatto che detta fase di drogaggio viene effettuata in situ durante detta fase di riempimento.

5 12. Processo di integrazione secondo la rivendicazione 9, caratterizzato dal fatto che detta fase di drogaggio viene effettuata mediante una ulteriore fase di ossidazione di uno strato (117) di ossido preimpianto ed una fase di impianto di arricchimento su tutta la superficie di detto dispositivo semiconduttore (100).

10 13. Processo di integrazione secondo la rivendicazione 5, caratterizzato dal fatto di prevedere ulteriormente una fase di realizzazione, in detta sacca (200), di regioni arricchite profonde (119).

15 14. Processo di integrazione secondo la rivendicazione 13, caratterizzato dal fatto che detta fase di realizzazione di regioni arricchite profonde (119) prevede almeno una fase di mascheratura tramite uno strato (118) di resist di mascheratura di detta sacca (200) previsto per definire opportune aperture (C) in corrispondenza di dette regioni arricchite profonde (119) ed una seguente fase di impianto.

15. Processo di integrazione secondo la rivendicazione 14, caratterizzato dal fatto che detto strato (118) di resist di mascheratura viene fatto arretrare rispetto a dette strutture (116) a becco di uccello.

20 16. Processo di integrazione secondo la rivendicazione 14, caratterizzato dal fatto che detto strato (118) di resist di mascheratura viene eliminato attorno a detto almeno un trench (104) di ossidazione dal lato di detta sacca (200).

25 17. Processo di integrazione secondo la rivendicazione 1, caratterizzato dal fatto di prevedere ulteriormente fasi di mascheratura, impianto e annealing allo scopo di realizzare laddove necessario opportuni strati drogati, prima di detta fase di definizione di area attiva.

30 18. Processo di integrazione secondo la rivendicazione 1, caratterizzato dal fatto che detta fase di definizione di area attiva comprende almeno una fase di deposizione di un ulteriore strato (123) di nitruro ed una fase di fotomascheratura e attacco di detto ulteriore strato (123) di nitruro in corrispondenza di regioni (124) di campo.

- 35 -

19. Processo di integrazione secondo la rivendicazione 18, caratterizzato dal fatto che detto ulteriore strato (123) di nitrato viene rimosso in corrispondenza di detto almeno un trench (104) per isolare detto materiale (105) di riempimento.
- 5 20. Processo di integrazione secondo la rivendicazione 18, caratterizzato dal fatto che detto ulteriore strato (123) di nitrato non viene rimosso su detto almeno un trench (104) per realizzare un contatto con detto materiale (105) di riempimento.
- 10 21. Processo di integrazione secondo la rivendicazione 18, caratterizzato dal fatto di comprendere ulteriormente una fase di ossidazione che genera, su dette regioni (124) di campo, uno strato (106) di ossido di campo, nonché una seconda pluralità di strutture (116\*) a becco d'uccello ai bordi di dette regioni (124) di campo dove detto ulteriore strato (123) di nitrato si interrompe.
- 15 22. Processo di integrazione secondo la rivendicazione 21, caratterizzato dal fatto che detta fase di ossidazione viene preceduta da una fase di integrazione di una porzione di strato drogato atto a contrastare eventuali giunzioni superficiali di intercapedine formate a seguito di detta fase di ossidazione nell'intorno di dette regioni (124) di campo.
- 20 23. Processo di integrazione secondo la rivendicazione 1, caratterizzato dal fatto che detta fase di definizione di area attiva utilizza detto strato (112) di nitrato e prevede almeno una fase di fotomascheratura e attacco di detto strato (112) di nitrato in corrispondenza di regioni (124) di campo.
- 25 24. Processo di integrazione secondo la rivendicazione 23, caratterizzato dal fatto che detto strato (112) di nitrato non viene rimosso su detto almeno un trench (104) per realizzare un contatto con detto materiale (105) di riempimento.
- 30 25. Processo di integrazione secondo la rivendicazione 13, caratterizzato dal fatto che detta fase di realizzazione di regioni arricchite profonde (119) prevede almeno una fase di mascheratura di detto strato (112) di nitrato per definire opportune aperture (C) in corrispondenza di dette regioni arricchite profonde (119) ed una seguente fase di impianto.

- 36 -

26. Processo di integrazione secondo la rivendicazione 25, caratterizzato dal fatto di prevedere ulteriormente una fase di eliminazione di uno strato (106) di ossido spesso in corrispondenza di detto almeno un trench (104) di dielettrico.
- 5 27. Processo di integrazione secondo la rivendicazione 1, caratterizzato dal fatto di prevedere una ulteriore fase di rimozione di detto strato (112) di nitrurio dopo detta fase di realizzazione di detto almeno un trench (104) di dielettrico.
- 10 28. Processo di integrazione secondo la rivendicazione 27, caratterizzato dal fatto di prevedere una ulteriore fase di rimozione di detto strato (111) di ossido dopo detta ulteriore fase di rimozione di detto strato (112) di nitrurio.
- 15 29. Processo di integrazione secondo la rivendicazione 27, caratterizzato dal fatto che detta fase di ossidazione di dette pareti laterali (114) di detto almeno un trench (104) di dielettrico comporta una crescita di un ulteriore strato (125) di ossido sulla superficie di detto dispositivo semiconduttore (100).
30. Processo di integrazione secondo la rivendicazione 27, caratterizzato dal fatto che detta fase di definizione di area attiva comprende una fase di mascheratura e attacco di detto ulteriore strato (125) di ossido.
- 20 31. Processo di integrazione secondo la rivendicazione 3, caratterizzato dal fatto di prevedere ulteriormente, prima di detta fase di rimozione di detto strato (112) di nitrurio di hardmask, una fase di ossidazione atta a formare sulla superficie di detto materiale (105) di riempimento di detto almeno un trench (104) uno strato (128) di ossido sottile.
- 25 32. Processo di integrazione secondo la rivendicazione 1, caratterizzato dal fatto di prevedere per detto strato (112) di nitrurio utilizzato come hardmask uno spessore sufficiente a garantirne un corretto funzionamento durante successive fasi di attacco necessarie per detta fase di realizzazione di detto almeno un trench (104) di dielettrico.
- 30 33. Processo di integrazione secondo la rivendicazione 32, caratterizzato dal fatto di prevedere un valore inferiore a  $3\div 4$  per il rapporto tra detto spessore di detto strato (112) di nitrurio utilizzato come hardmask ed uno

- 37 -

spessore di detto strato (111) di ossido.

5 34. Processo di integrazione secondo la rivendicazione 1, caratterizzato dal fatto di prevedere ulteriormente una fase di copertura della superficie di detto dispositivo semiconduttore (100) mediante uno strato protettivo di resist ed una fase di attacco di tipo backetch sul retro di detto dispositivo semiconduttore (100).

10 35. Processo di integrazione secondo la rivendicazione 34, caratterizzato dal fatto di prevedere ulteriormente una fase di rimozione di detto strato (112) di nitruro e di detto strato (111) di ossido ed una fase di ossidazione atta a realizzare sulla superficie di detto dispositivo semiconduttore (100) un sottile strato (117) di ossido preimpianto per detta fase di definizione di area attiva di componenti da integrare in detta sacca (200).

15 36. Processo di integrazione secondo una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto che detto almeno un trench (104) di dielettrico viene realizzato in modo da contattare uno strato (102) di ossido sepolto presente al di sotto di detto substrato (103) ed atto a garantire l'isolamento verticale di detta sacca (200).

20 37. Processo di integrazione secondo la rivendicazione 36, caratterizzato dal fatto di prevedere una fase di realizzazione di almeno un secondo trench (104) di dielettrico, il quale forma con detto almeno un trench (104) di dielettrico e con detto strato (102) di ossido sepolto una struttura isolante a trench di detta sacca (200).

- 38 -

## RIASSUNTO

L'invenzione riguarda un processo di integrazione su un substrato di tipo SOI (103) di un dispositivo semiconduttore (100) includente almeno una sacca (200) dielettricamente isolata, del tipo comprendente:

- 5       -       una fase di ossidazione, per realizzare uno strato (111) di ossido;
- una fase di deposizione, al di sopra dello strato (111) di ossido di uno strato (112) di nitrurio, ed
- una fase di mascheratura, realizzata al di sopra dello strato (112) di nitrurio mediante uno strato (113) di resist, per definire opportune aperture
- 10       fotolitografiche per realizzare almeno un trench (104) di dielettrico atto a garantire l'isolamento laterale della sacca (200).

Il processo d'integrazione secondo l'invenzione prevede ulteriormente:

- 15       -       una fase di attacco dello strato (112) di nitrurio e dello strato (111) di ossido, opportunamente mascherati mediante lo strato (113) di resist, nella quale lo strato (112) di nitrurio viene utilizzato come hardmask,
- una fase di realizzazione dell'almeno un trench (104) di dielettrico comprendente almeno una fase di attacco del substrato (103), una fase di ossidazione almeno di pareti laterali (114) dell'almeno un trench (104) di dielettrico ed una fase di riempimento dell'almeno un trench (104) mediante
- 20       materiale (105) di riempimento, ed
- una fase di definizione di area attiva di componenti da integrare nella sacca (200) effettuata solo dopo la fase di realizzazione dell'almeno un trench (104) di dielettrico.

25       (Fig. 9)

1/33

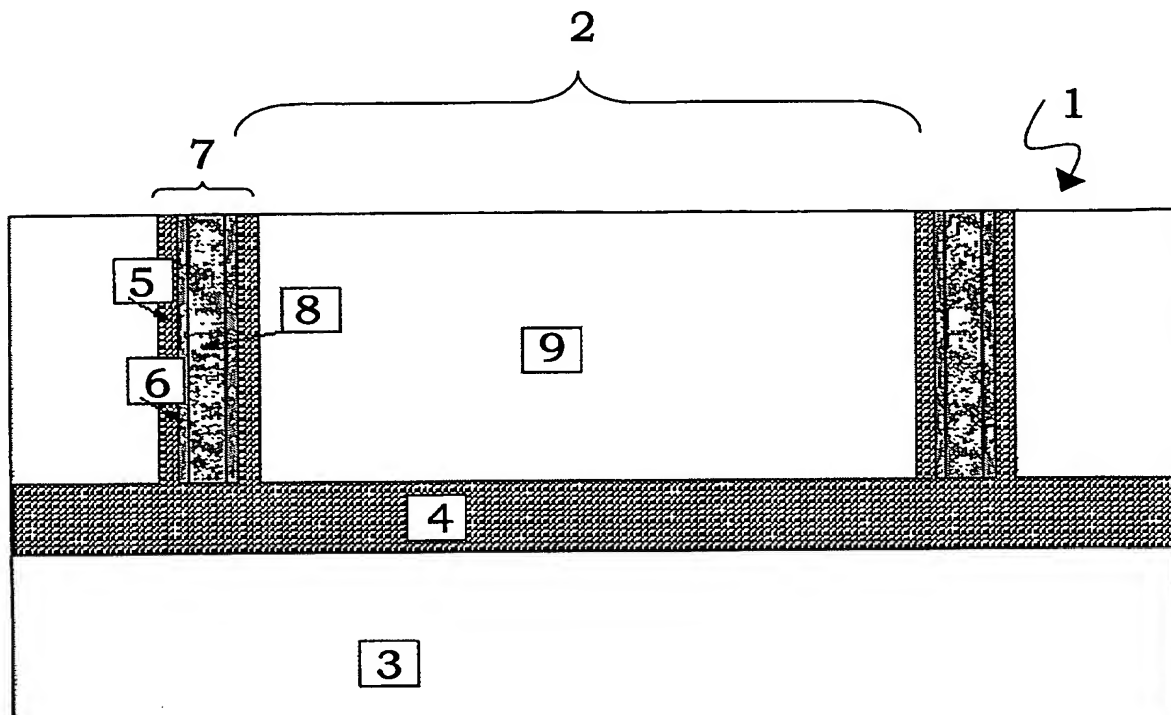


FIG. 1  
PRIOR ART

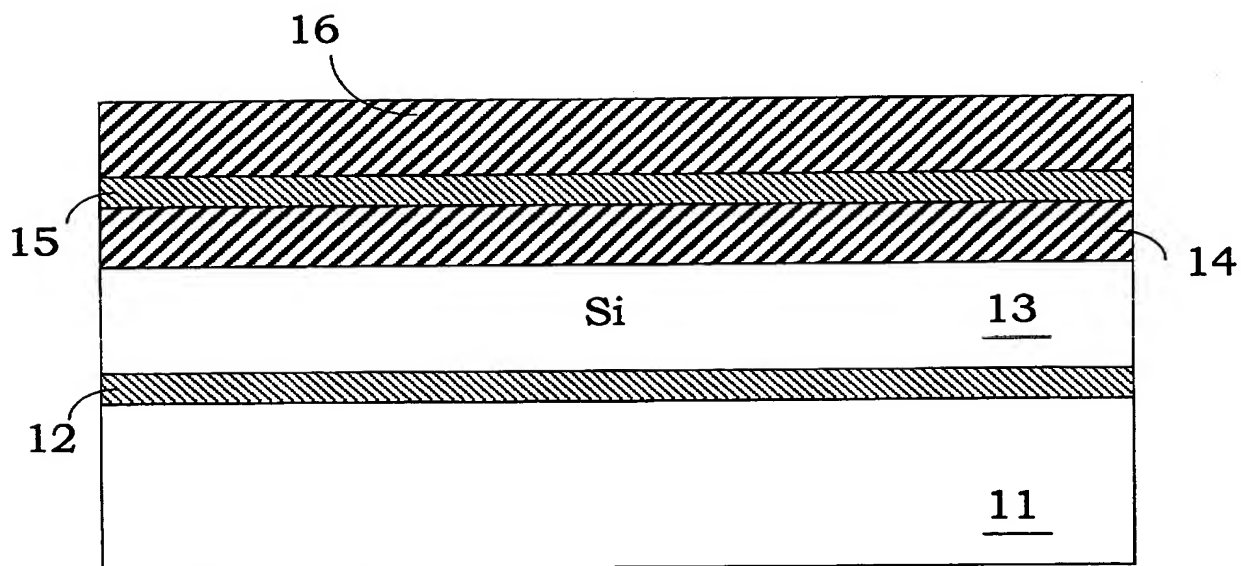


FIG. 2A  
PRIOR ART

2/33

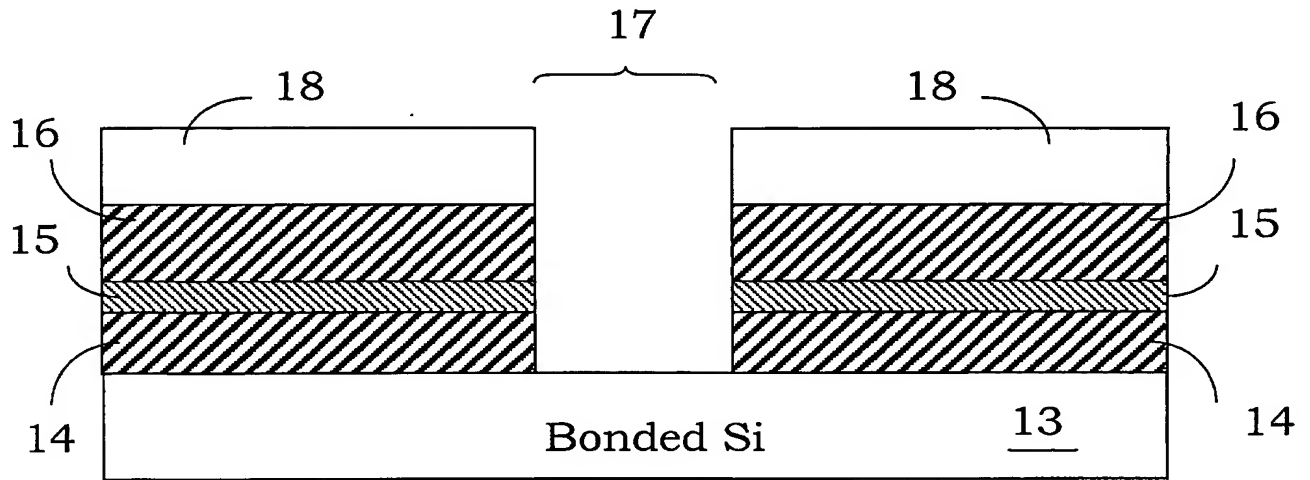


FIG. 2B  
PRIOR ART

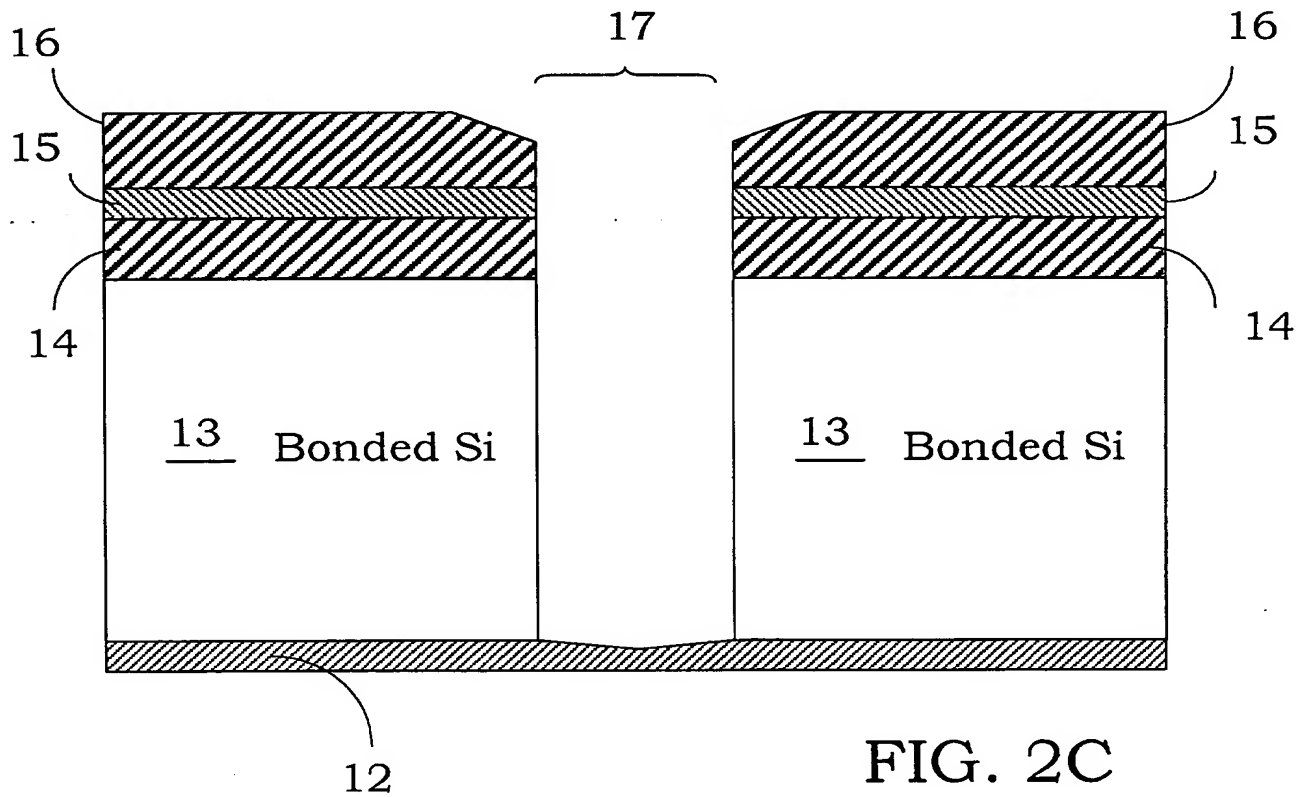


FIG. 2C  
PRIOR ART



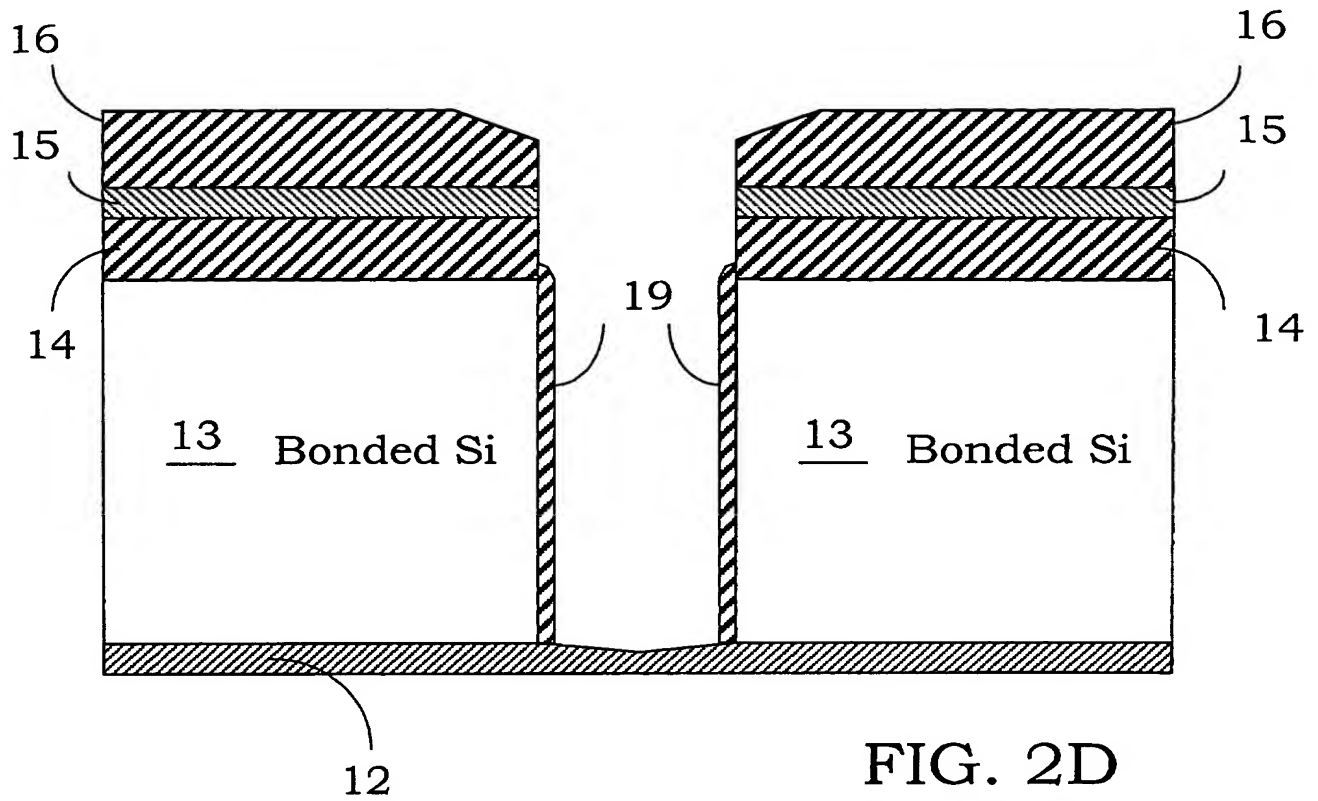


FIG. 2D  
PRIOR ART

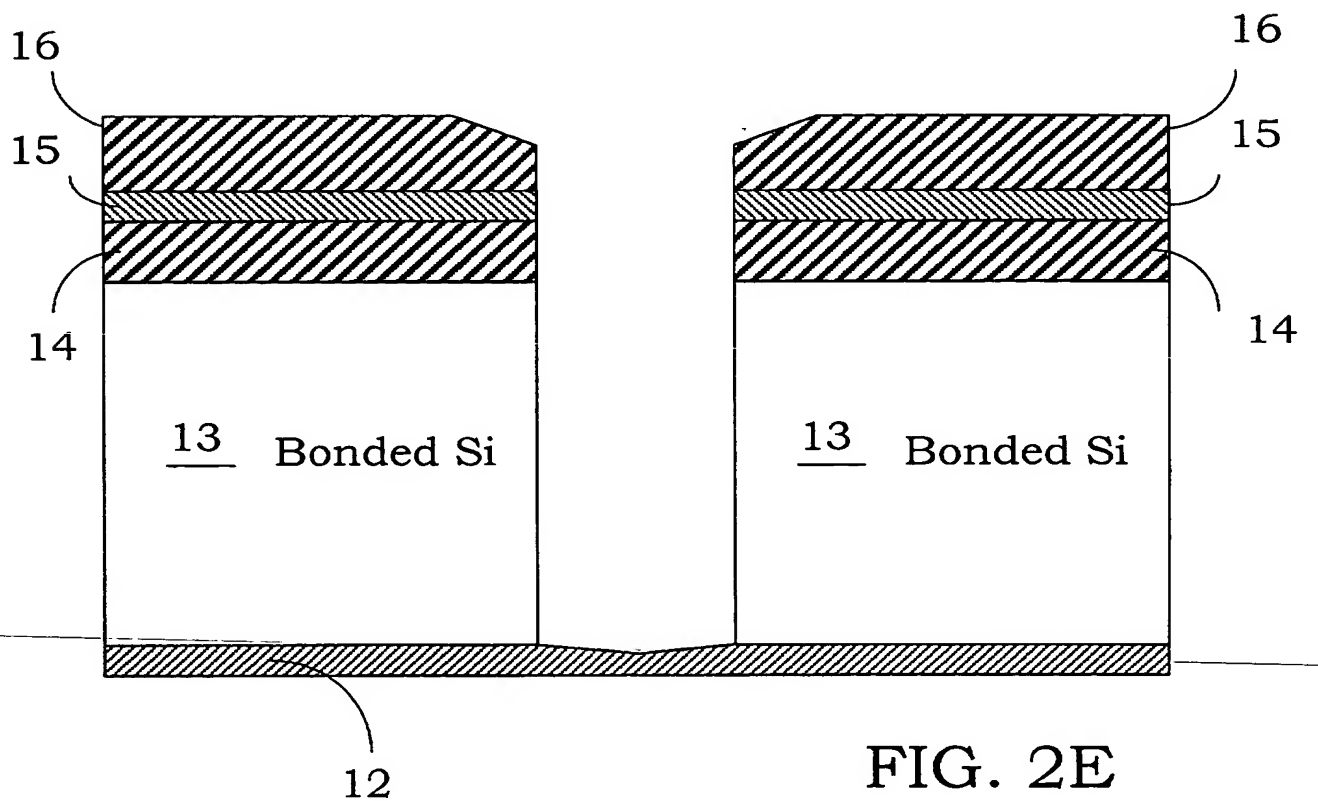
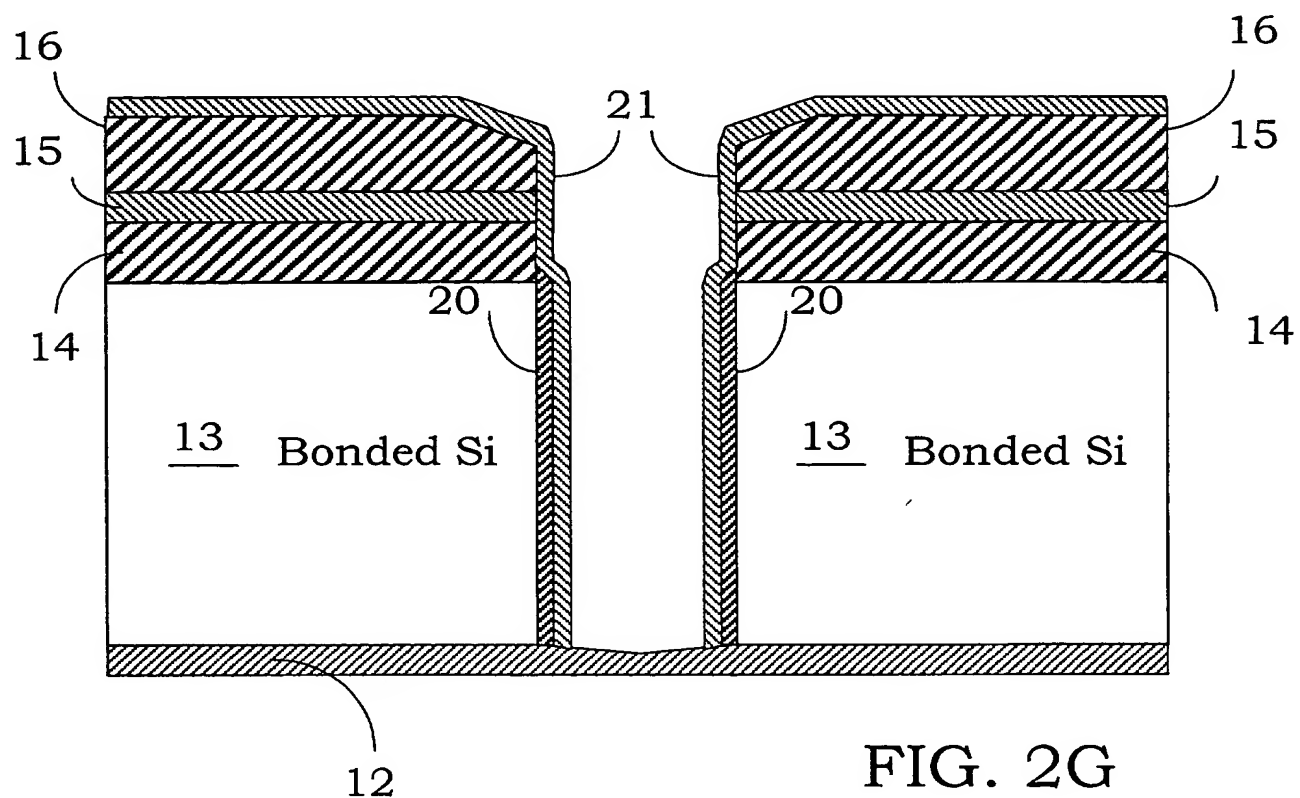
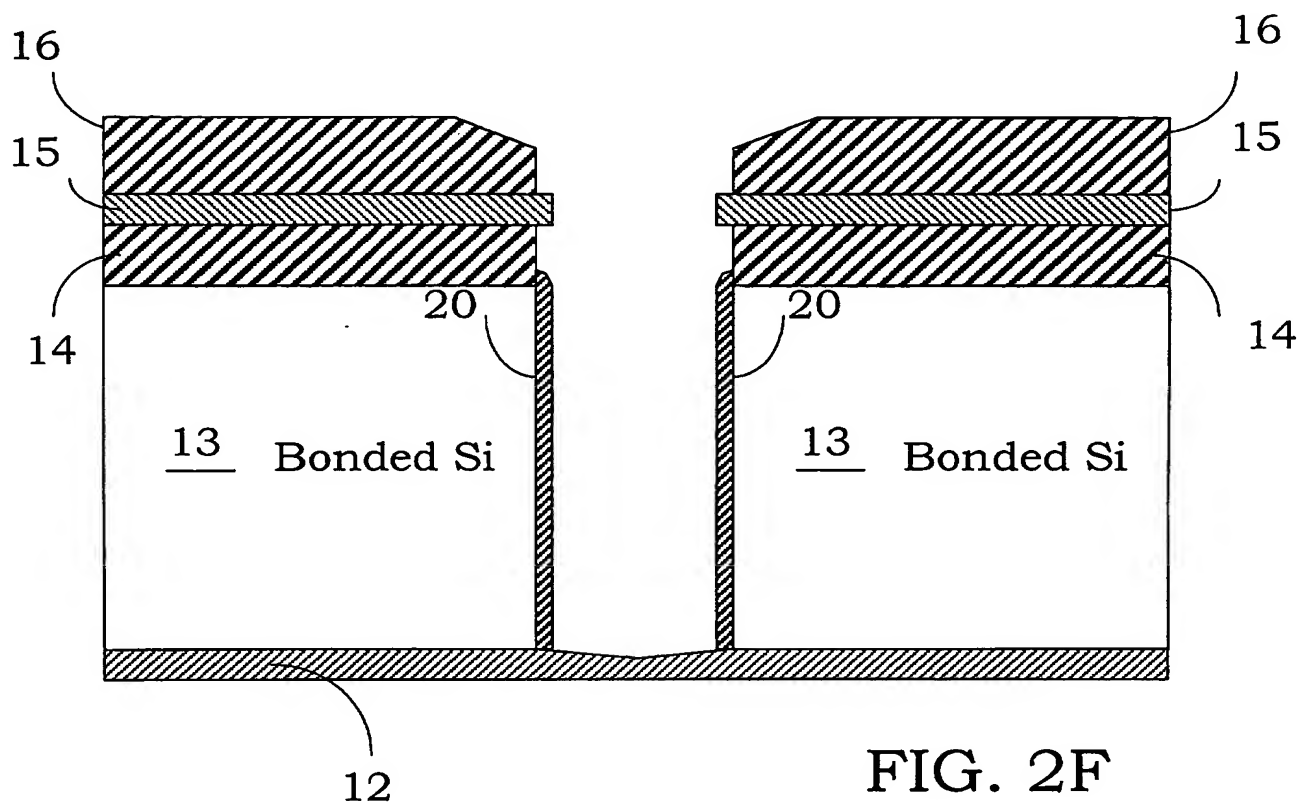


FIG. 2E  
PRIOR ART



5/33

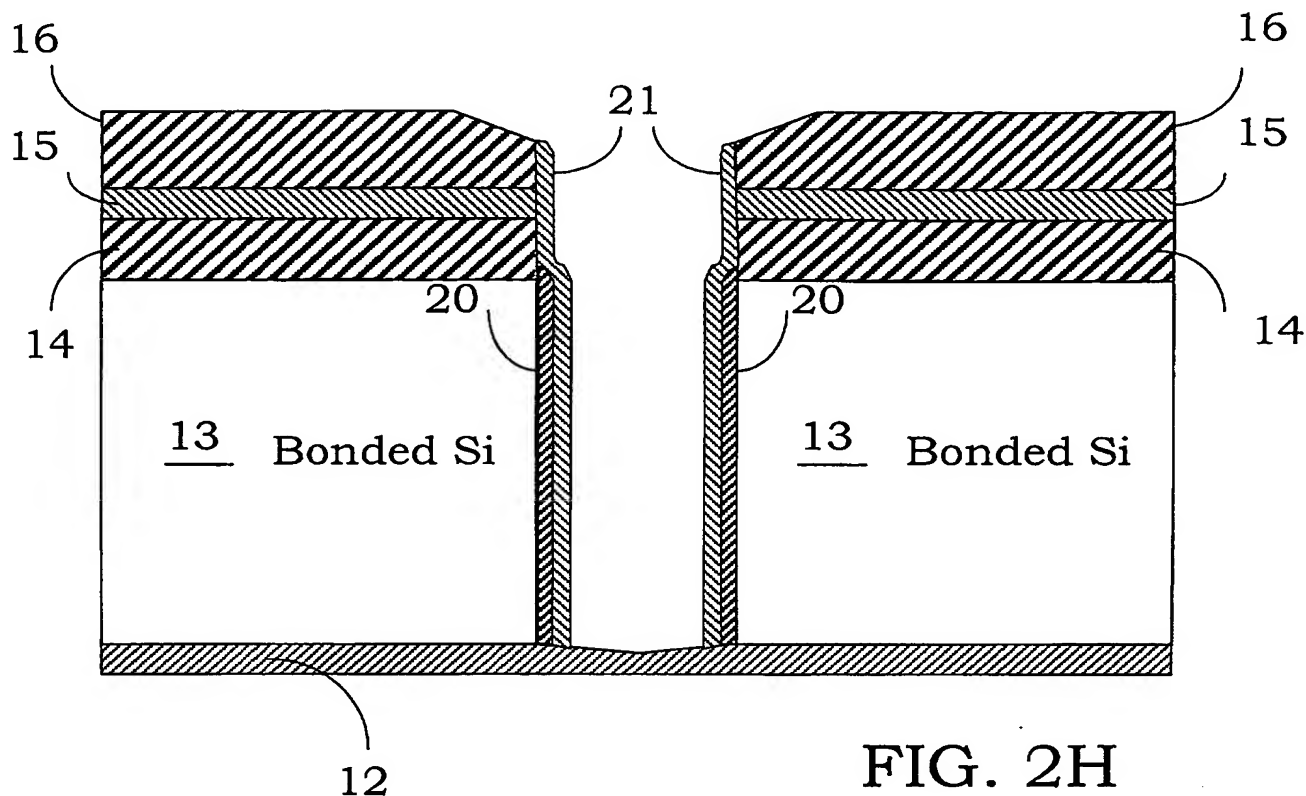


FIG. 2H  
PRIOR ART

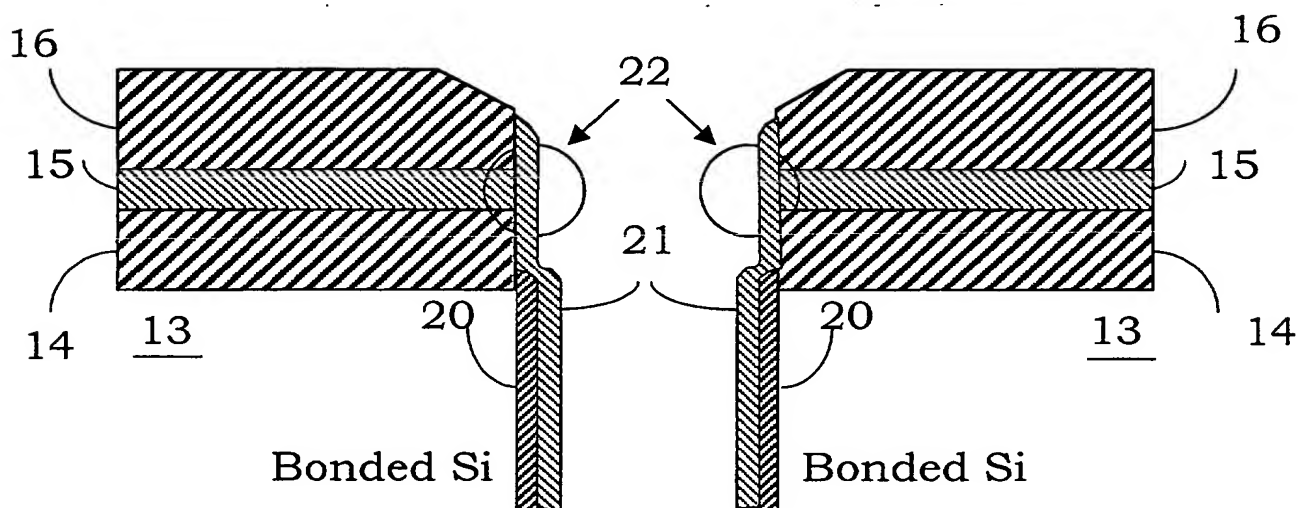


FIG. 2I  
PRIOR ART

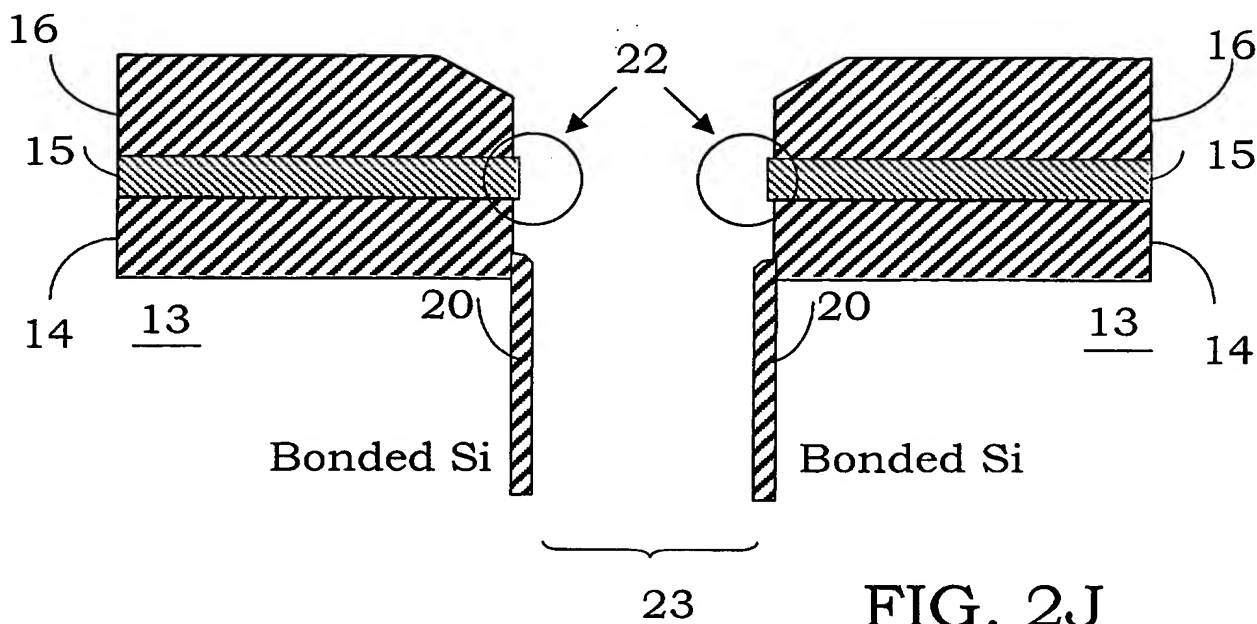


FIG. 2J  
PRIOR ART

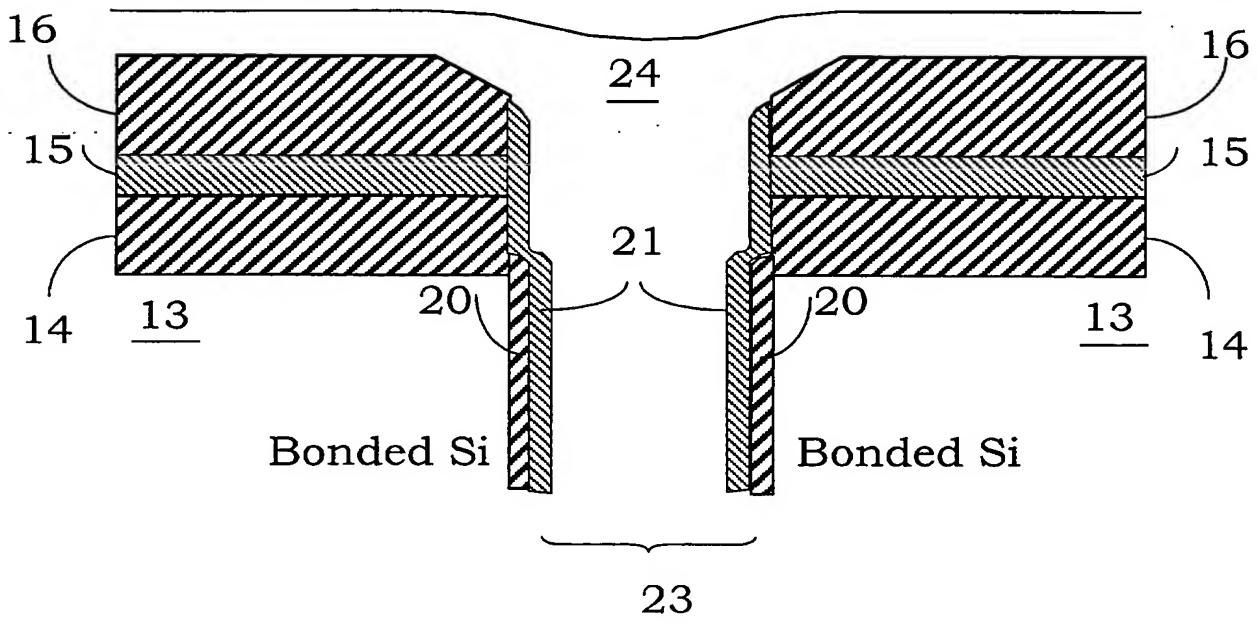


FIG. 2K  
PRIOR ART

7/33

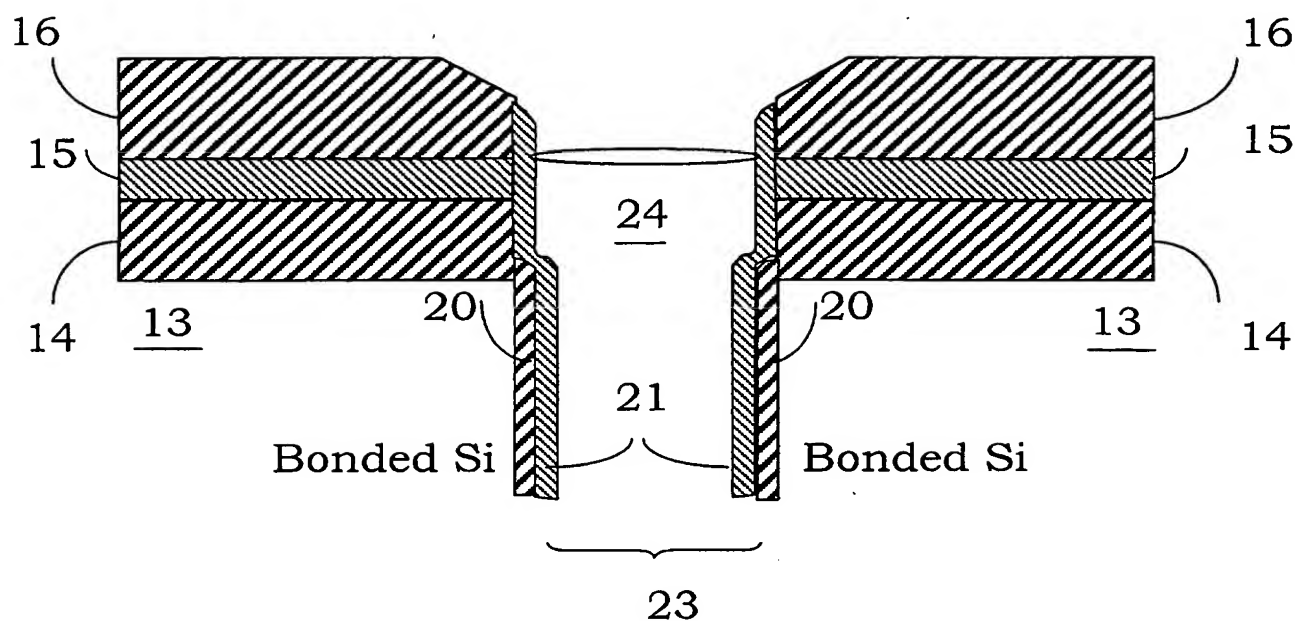


FIG. 2L  
PRIOR ART

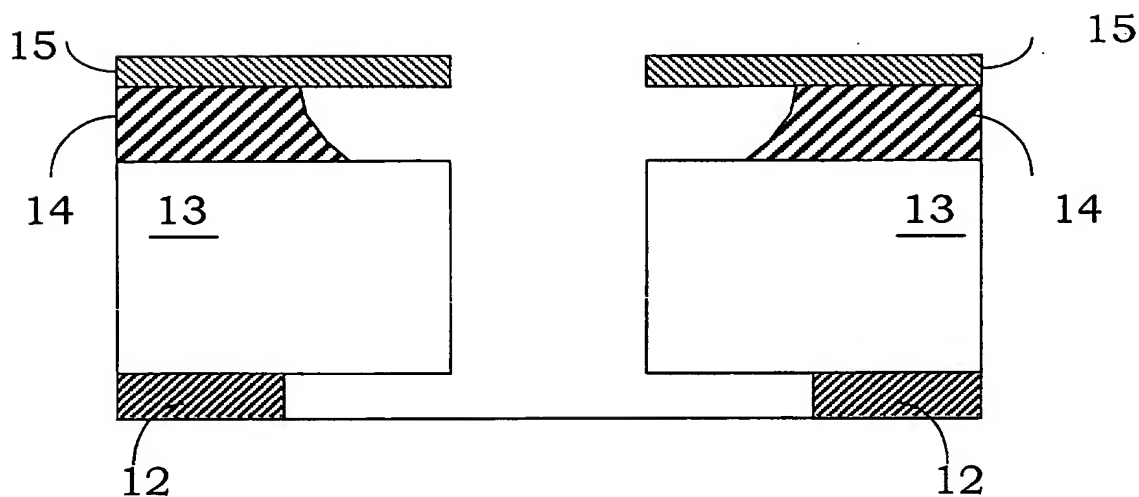


FIG. 2M  
PRIOR ART

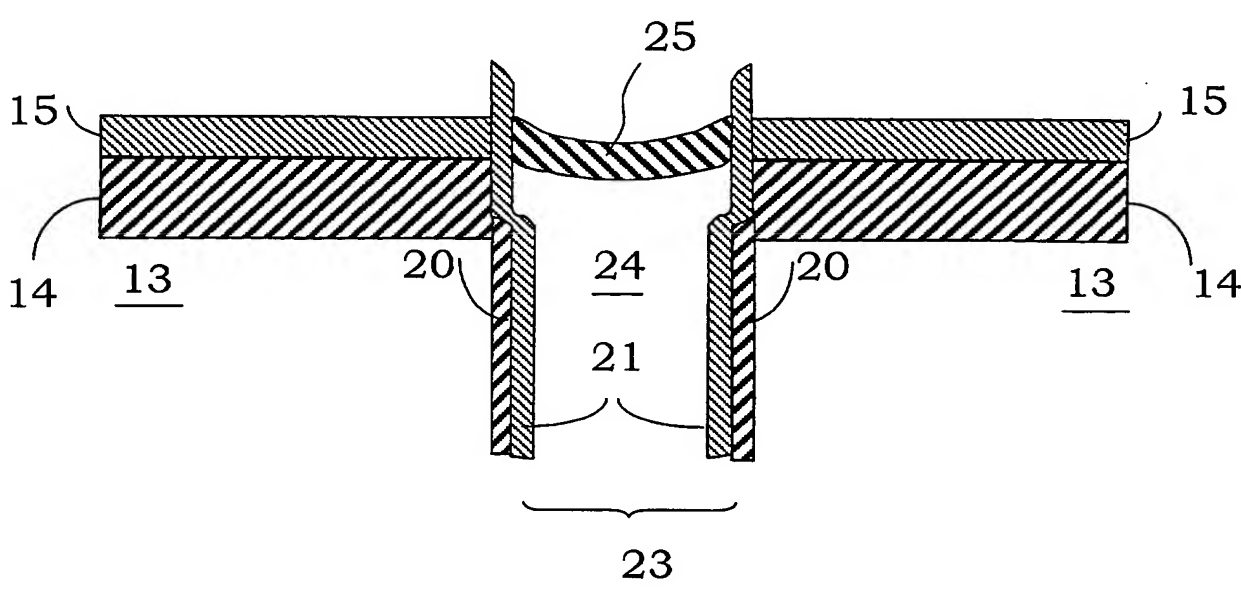


FIG. 2N  
PRIOR ART

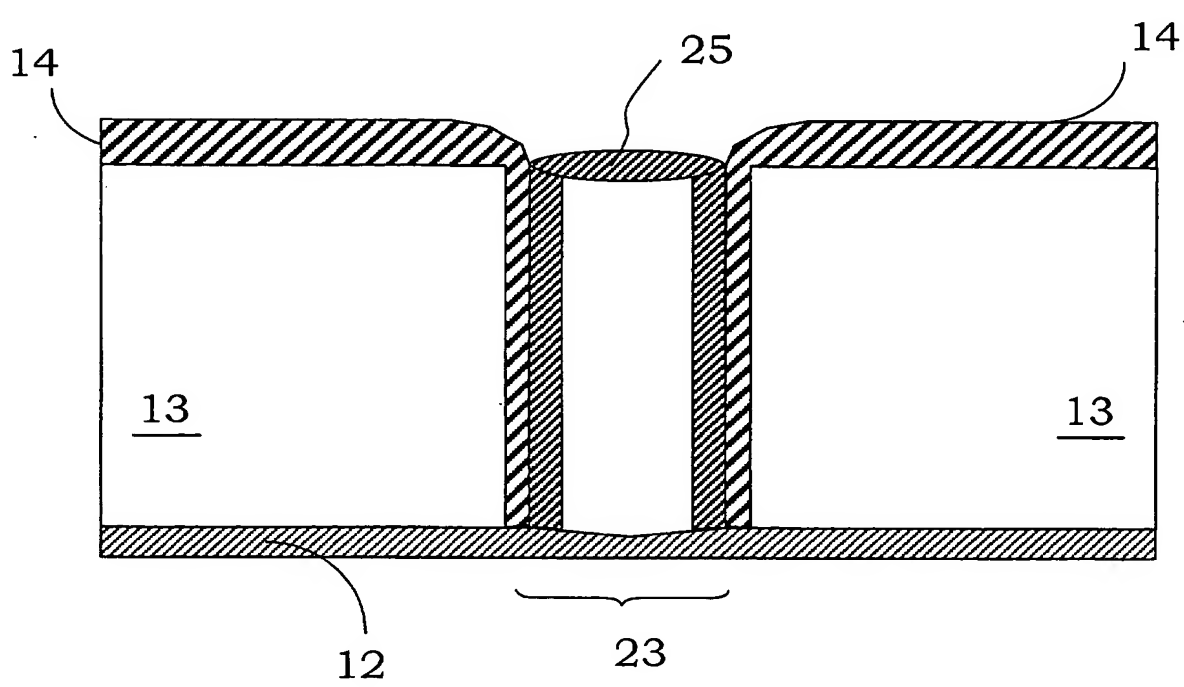


FIG. 20  
PRIOR ART

9/33

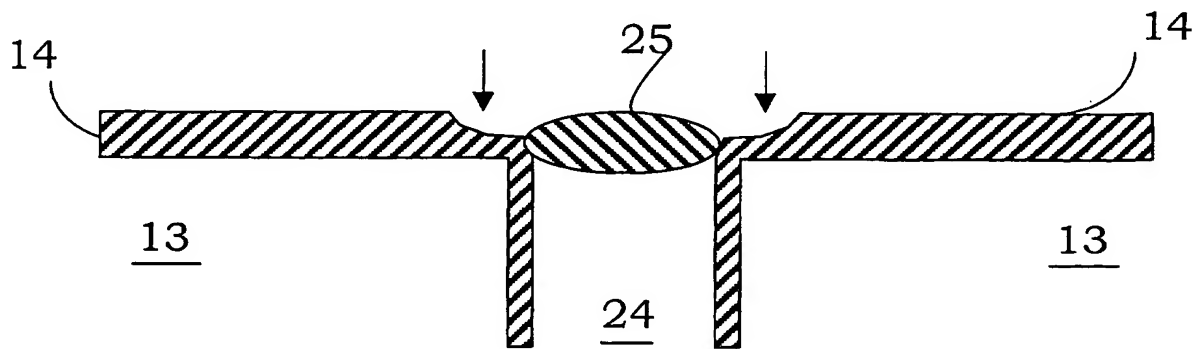


FIG. 3A  
PRIOR ART

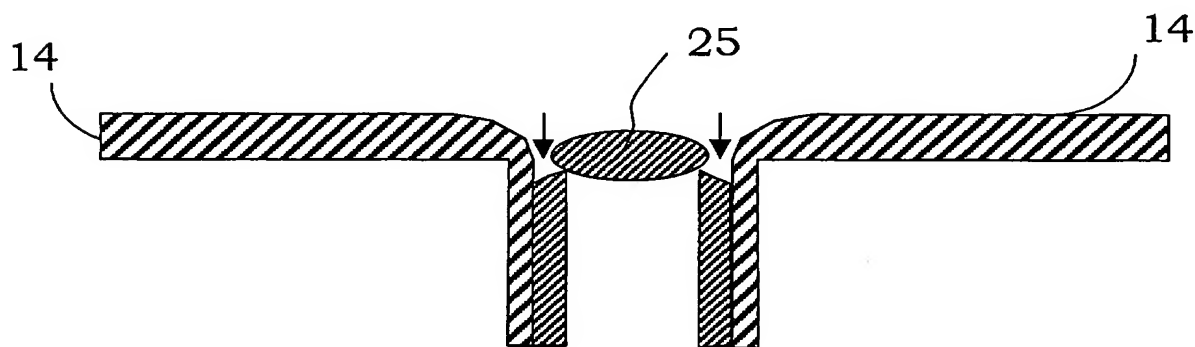


FIG. 3B  
PRIOR ART

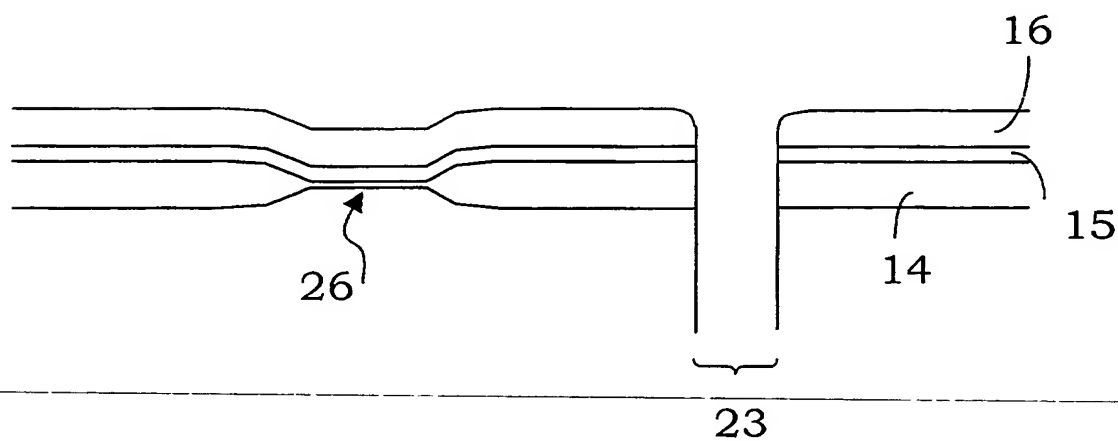


FIG. 3C  
PRIOR ART

10/33

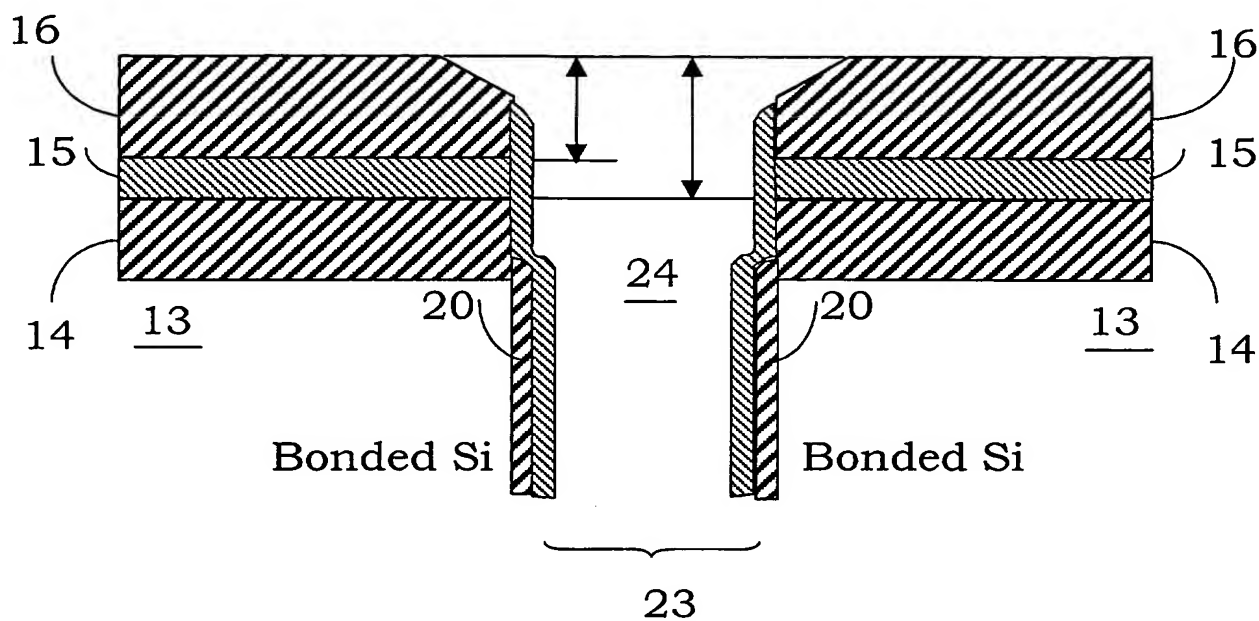


FIG. 4A  
PRIOR ART

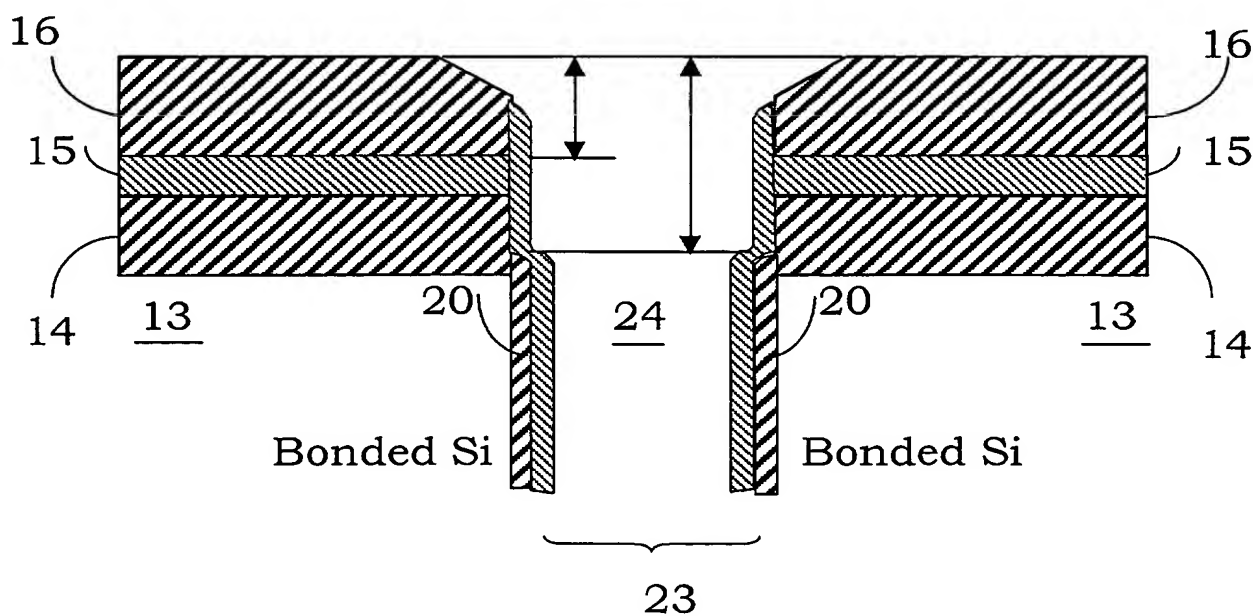


FIG. 4B  
PRIOR ART



11/33

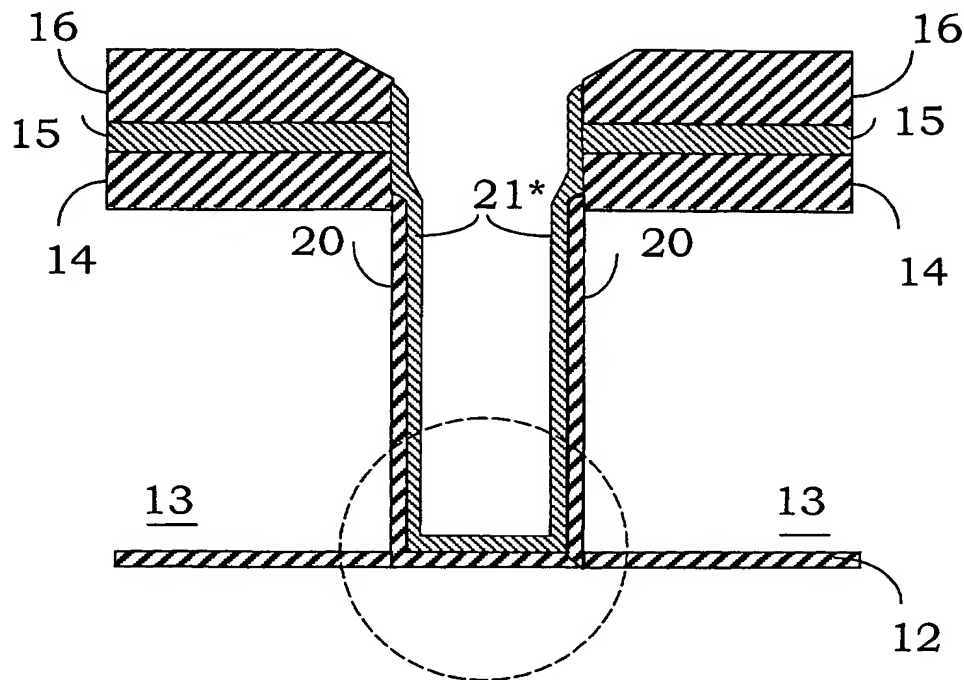


FIG. 5A  
PRIOR ART

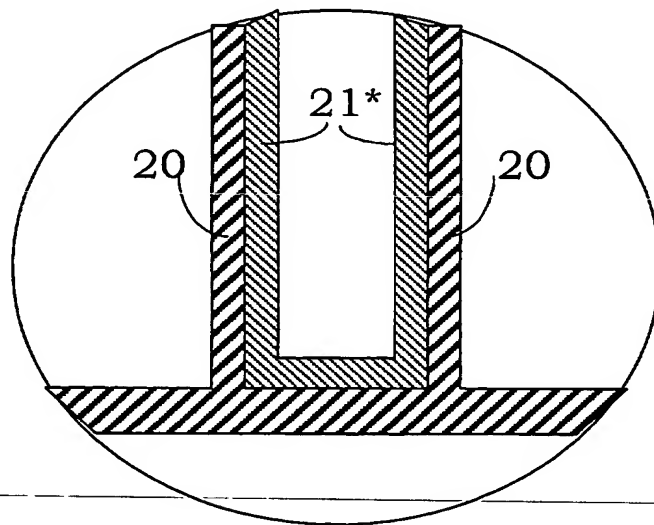


FIG. 5A-1  
PRIOR ART

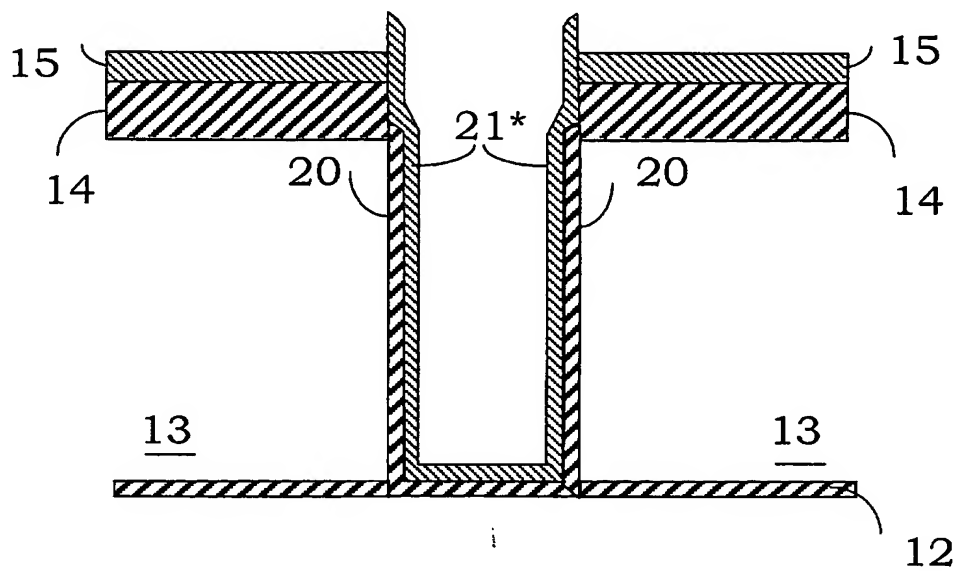


FIG. 5B  
PRIOR ART

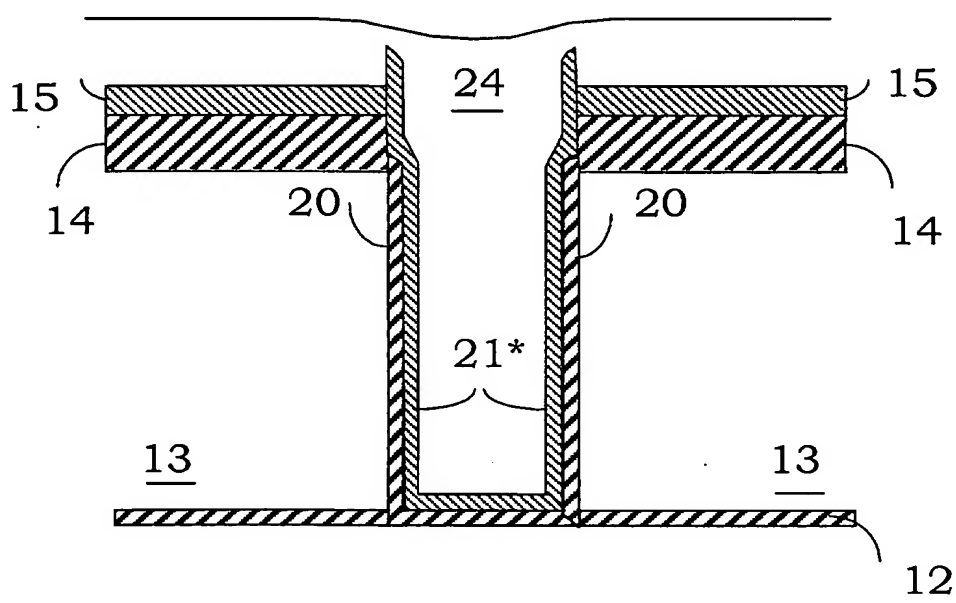


FIG. 5C  
PRIOR ART

13/33

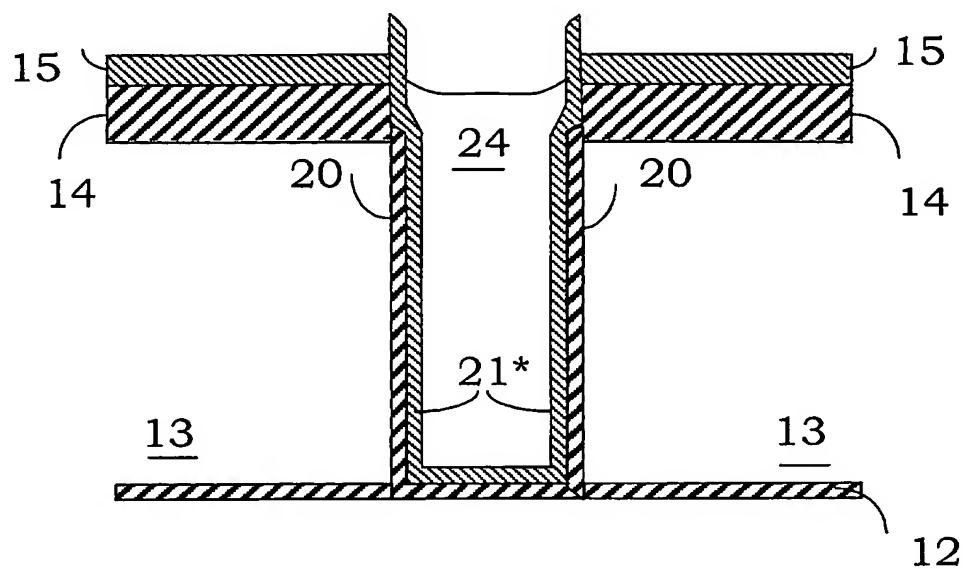


FIG. 5D  
PRIOR ART

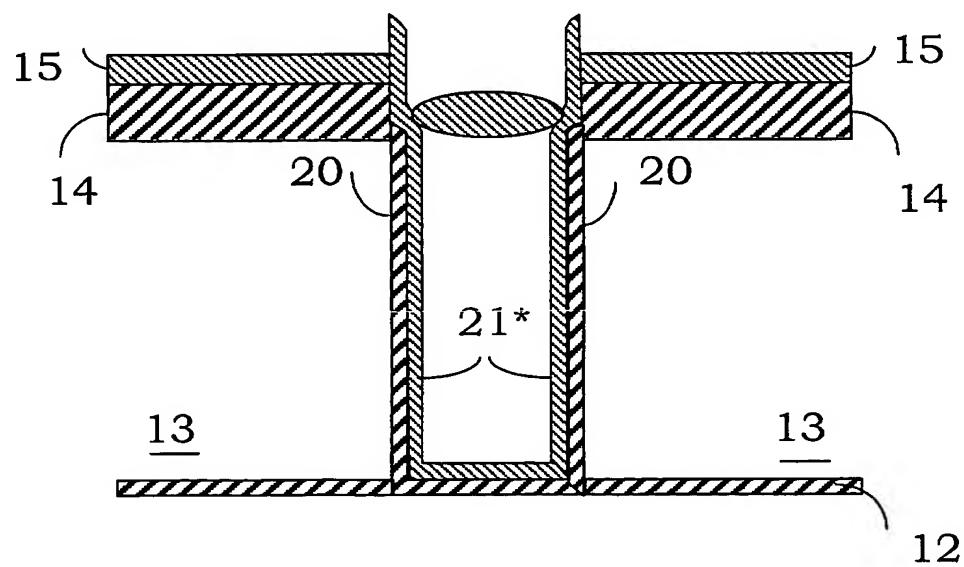


FIG. 5E  
PRIOR ART

14/33

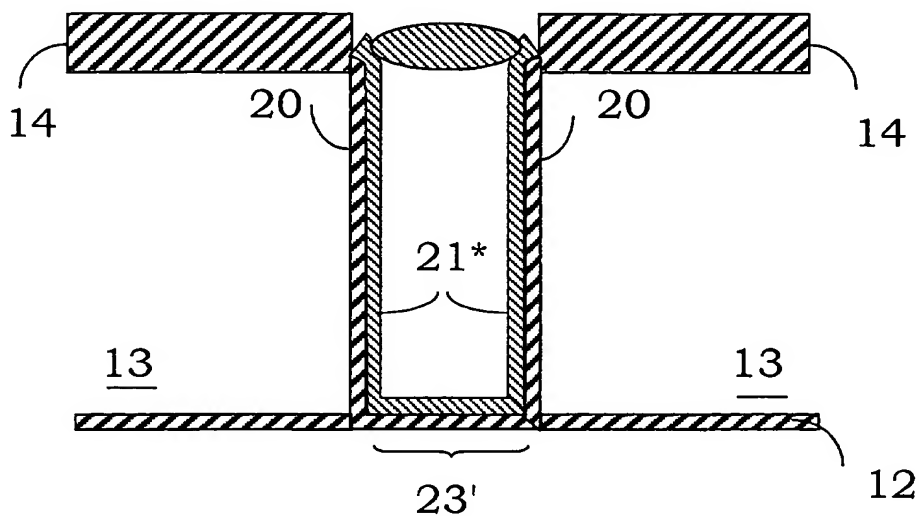


FIG. 5F  
PRIOR ART

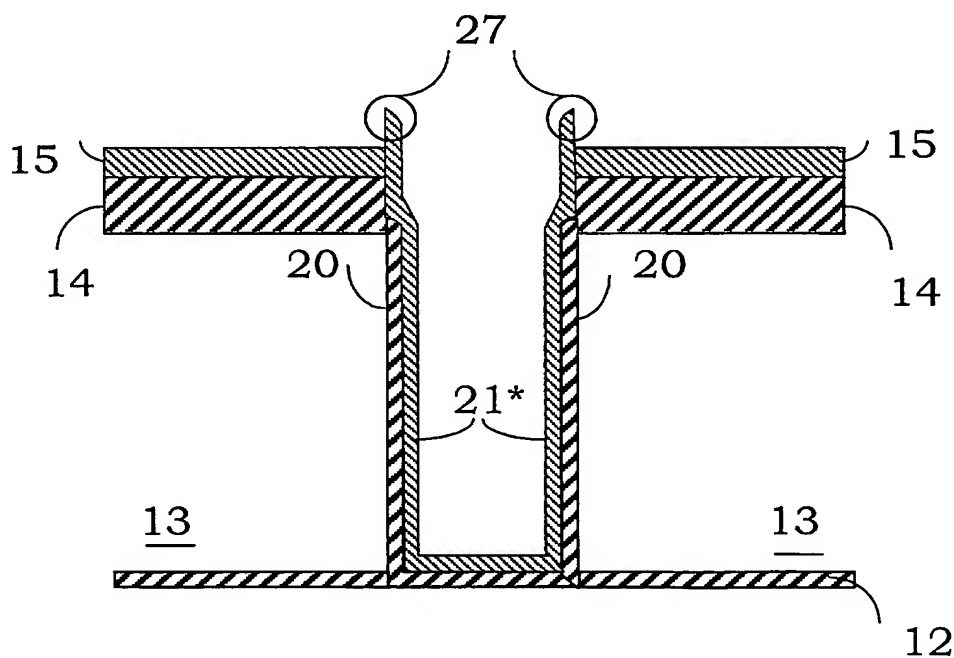


FIG. 6A  
PRIOR ART

15/33

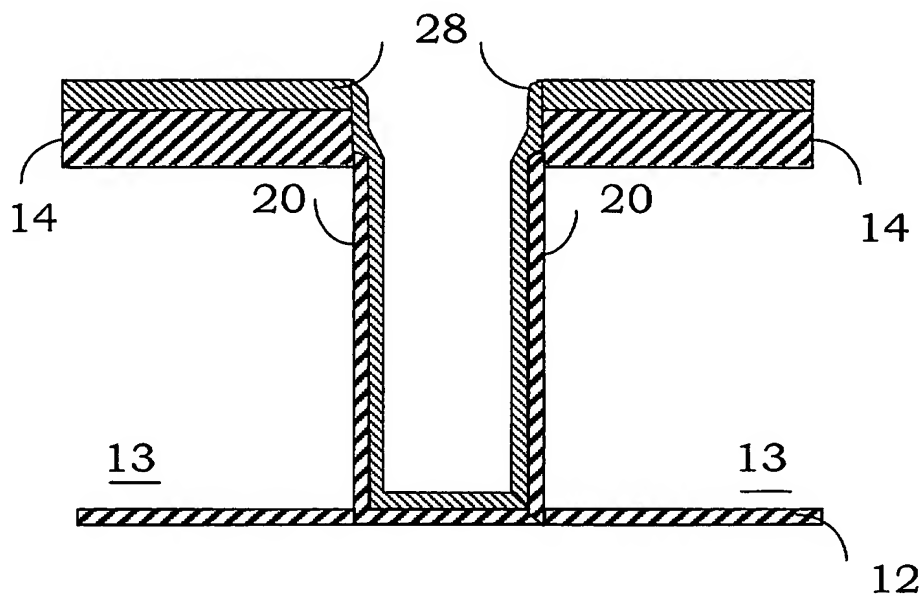


FIG. 6B  
PRIOR ART

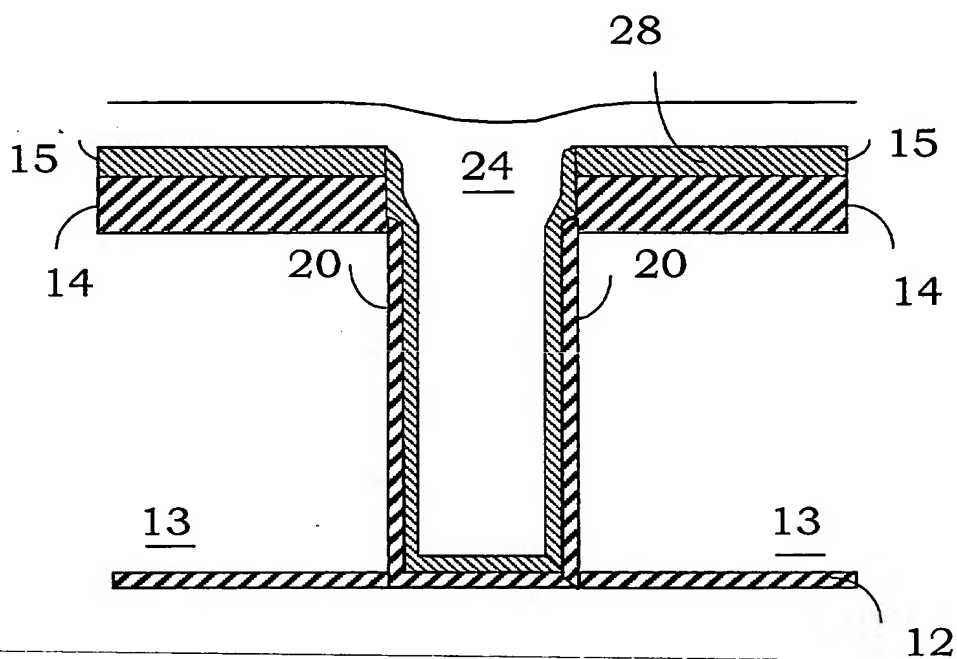


FIG. 6C  
PRIOR ART

16/33

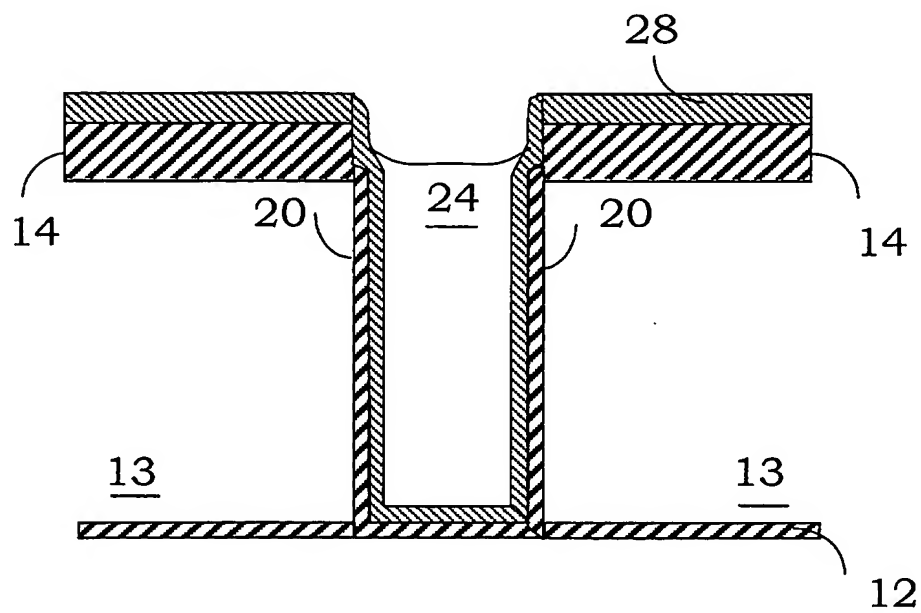


FIG. 6D  
PRIOR ART

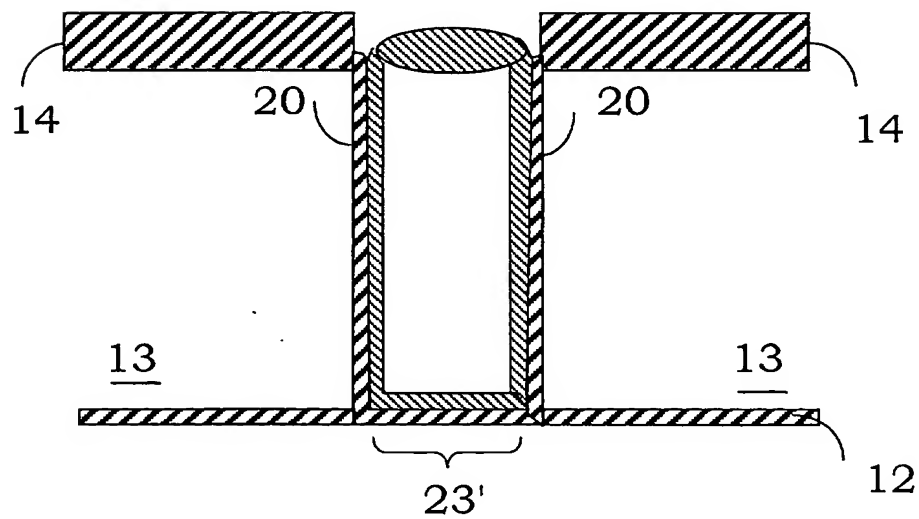


FIG. 6E  
PRIOR ART

17/33

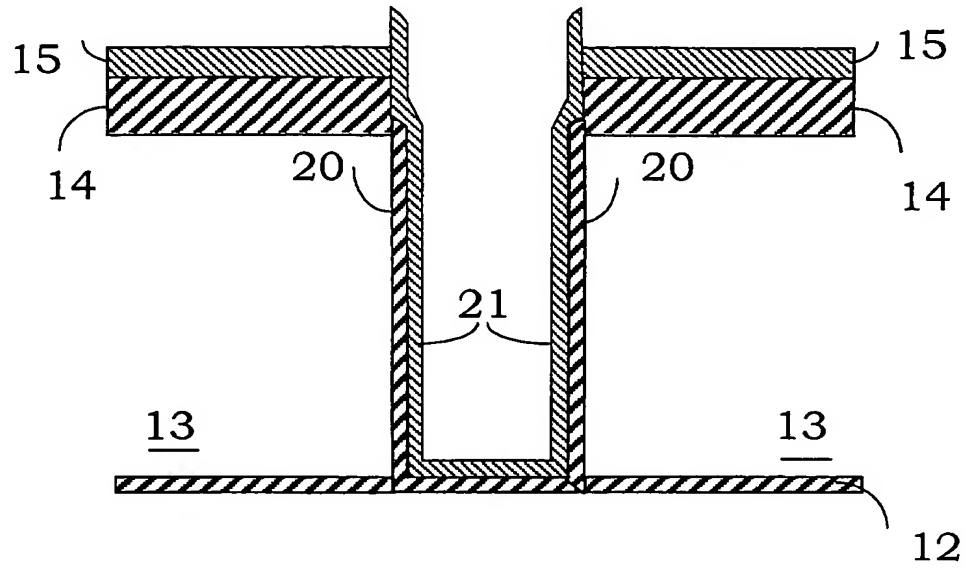


FIG. 7A  
PRIOR ART

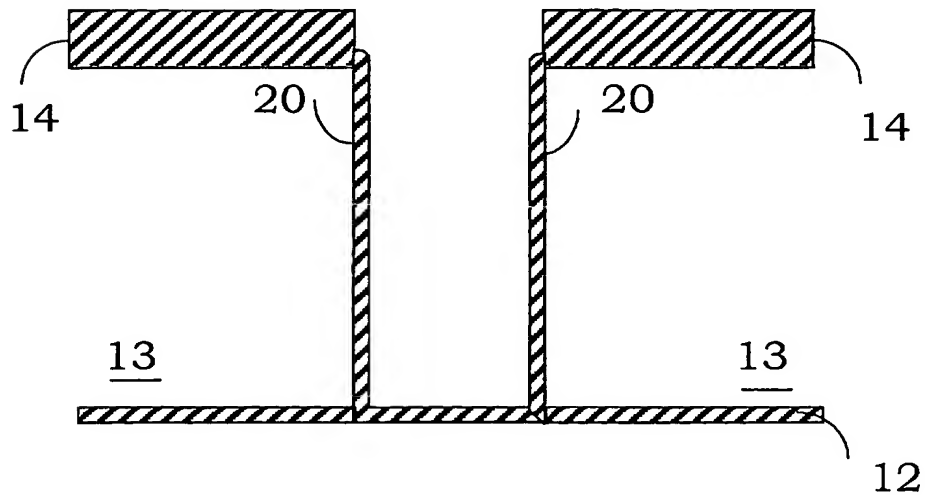


FIG. 7B  
PRIOR ART

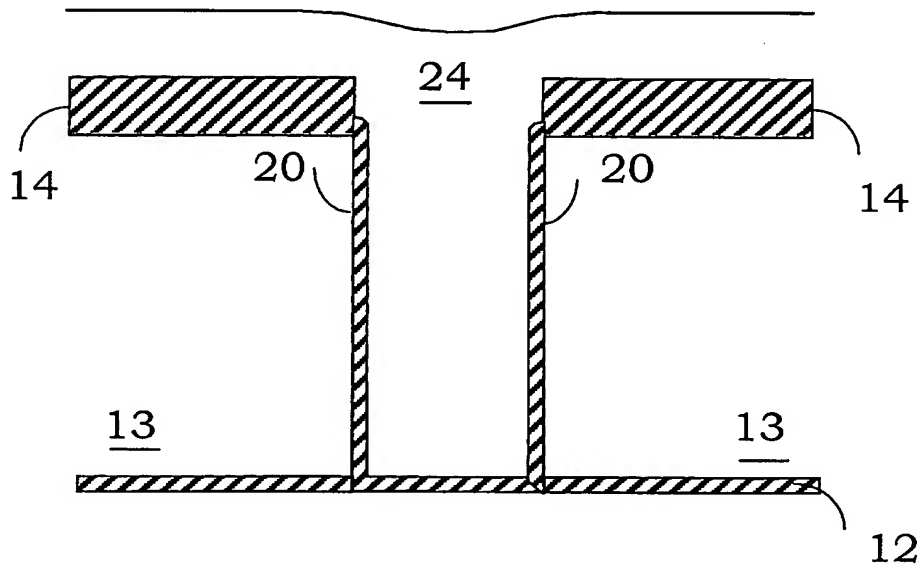


FIG. 7C  
PRIOR ART

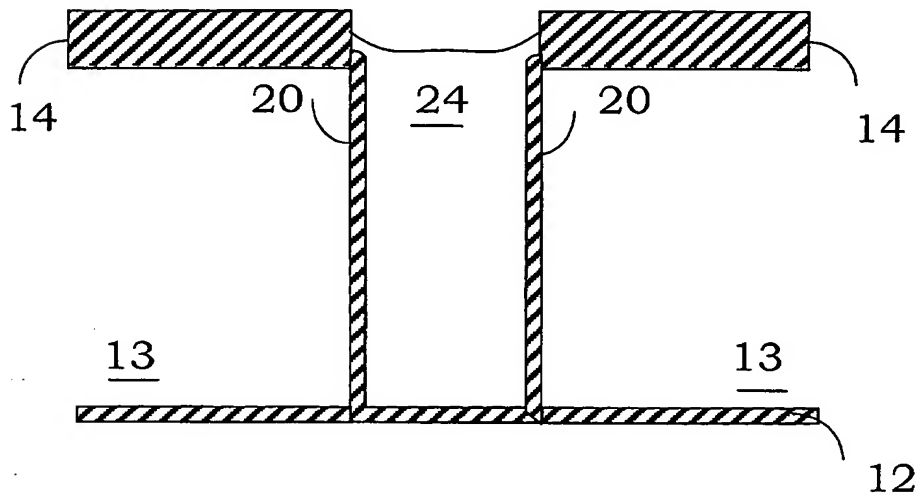


FIG. 7D  
PRIOR ART



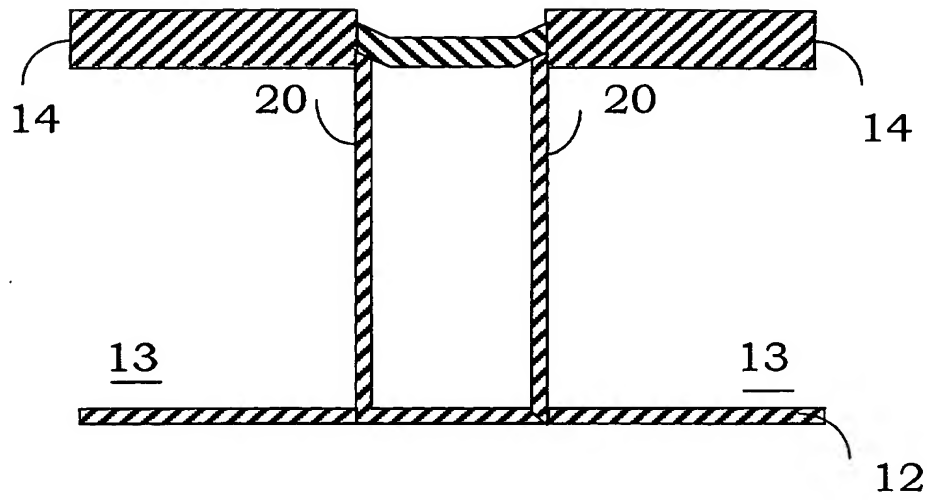


FIG. 7E  
PRIOR ART

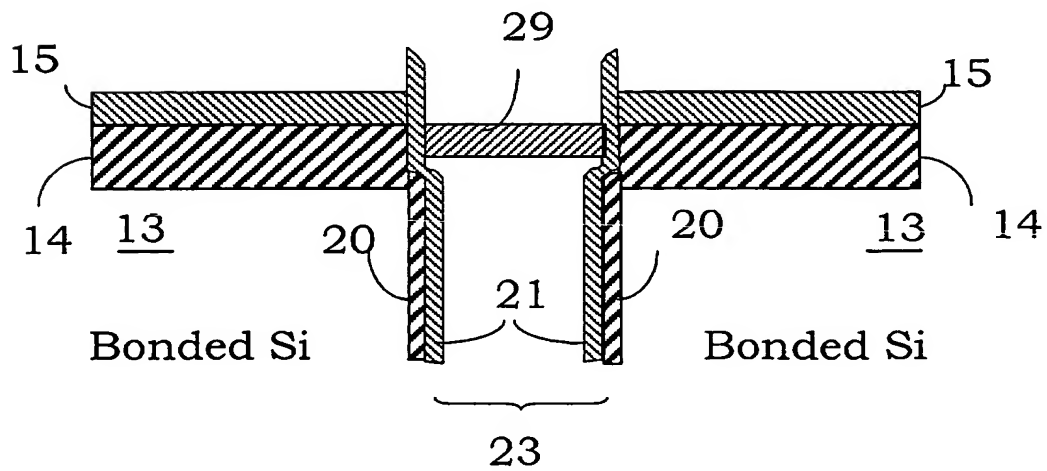


FIG. 8A  
PRIOR ART

20/33

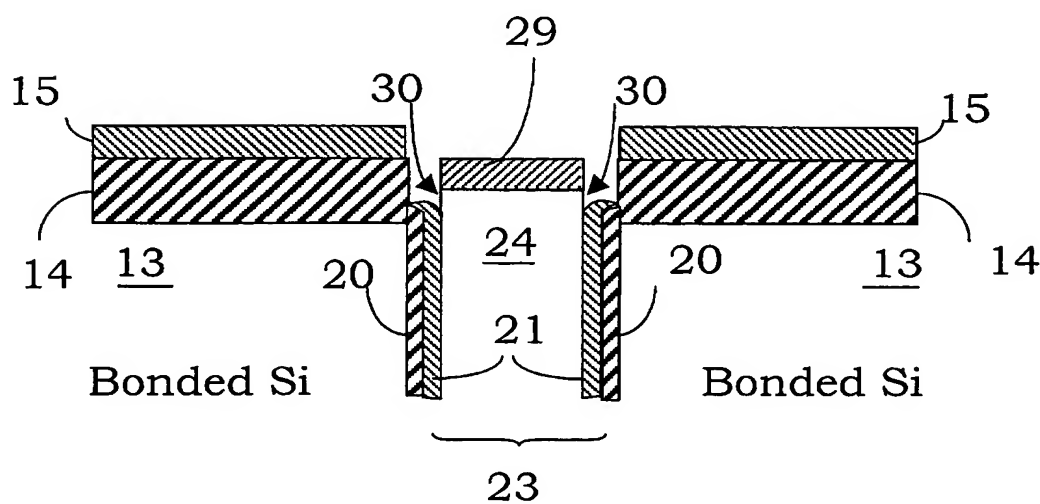


FIG. 8B  
PRIOR ART

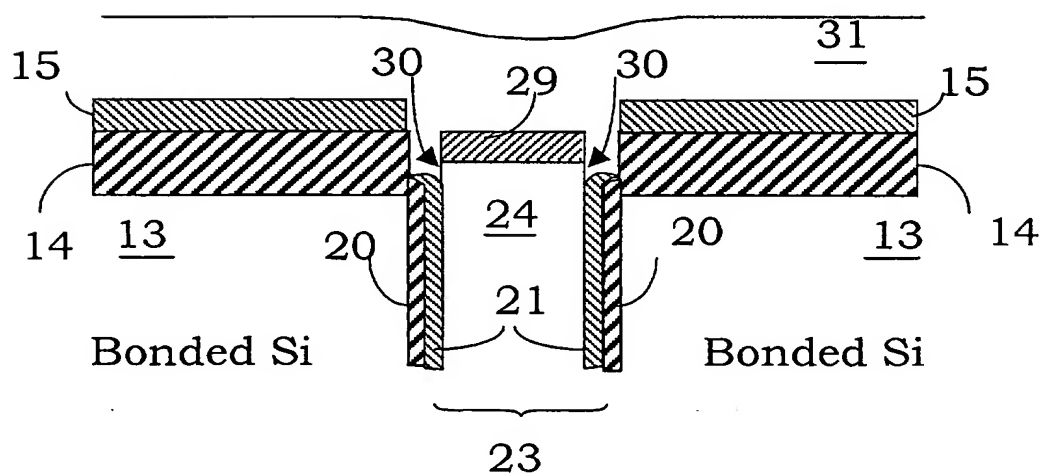


FIG. 8C  
PRIOR ART

21/33

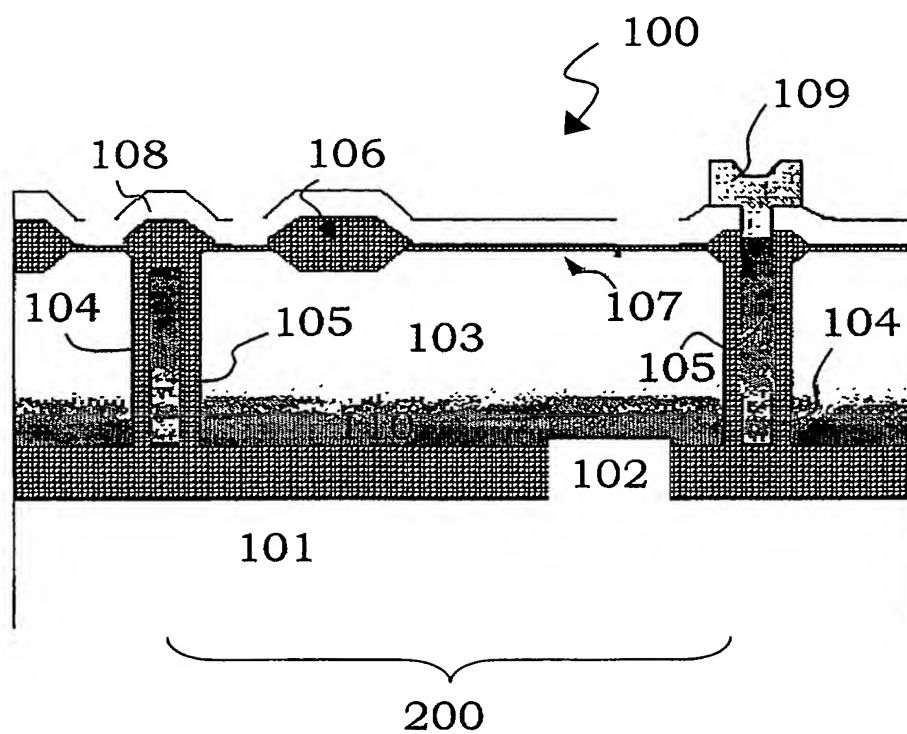


FIG. 9

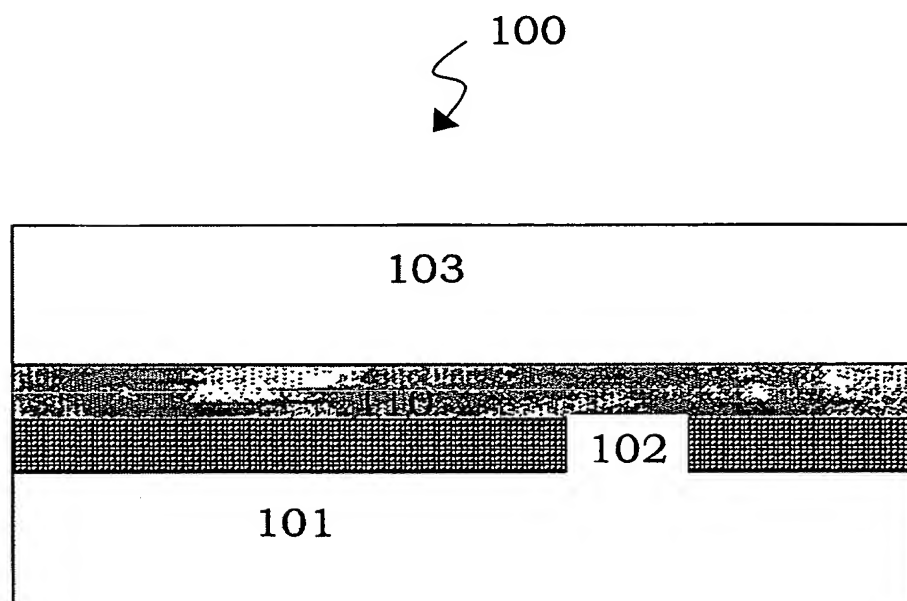


FIG. 10A

22/33

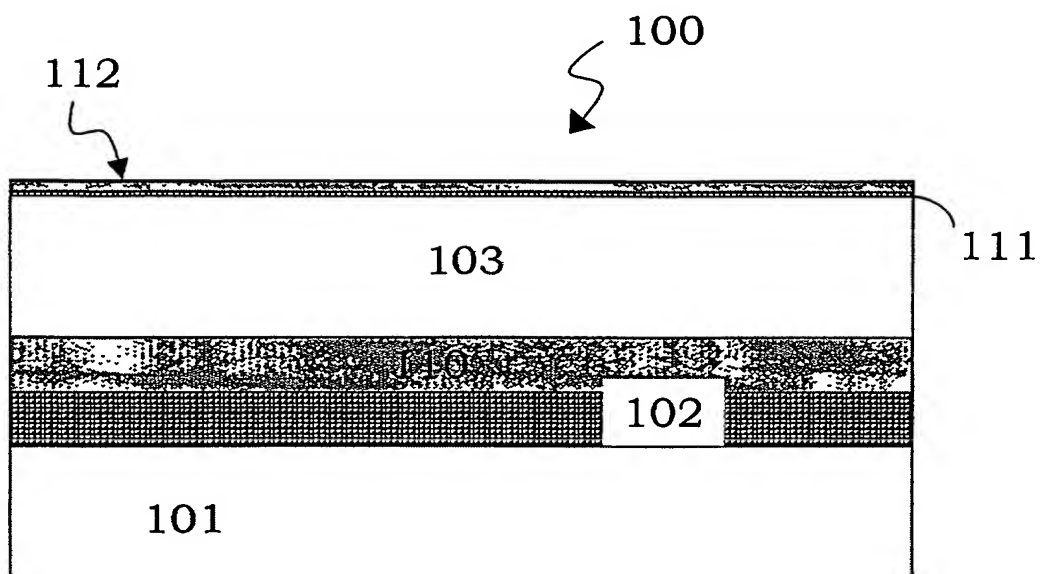


FIG. 10B

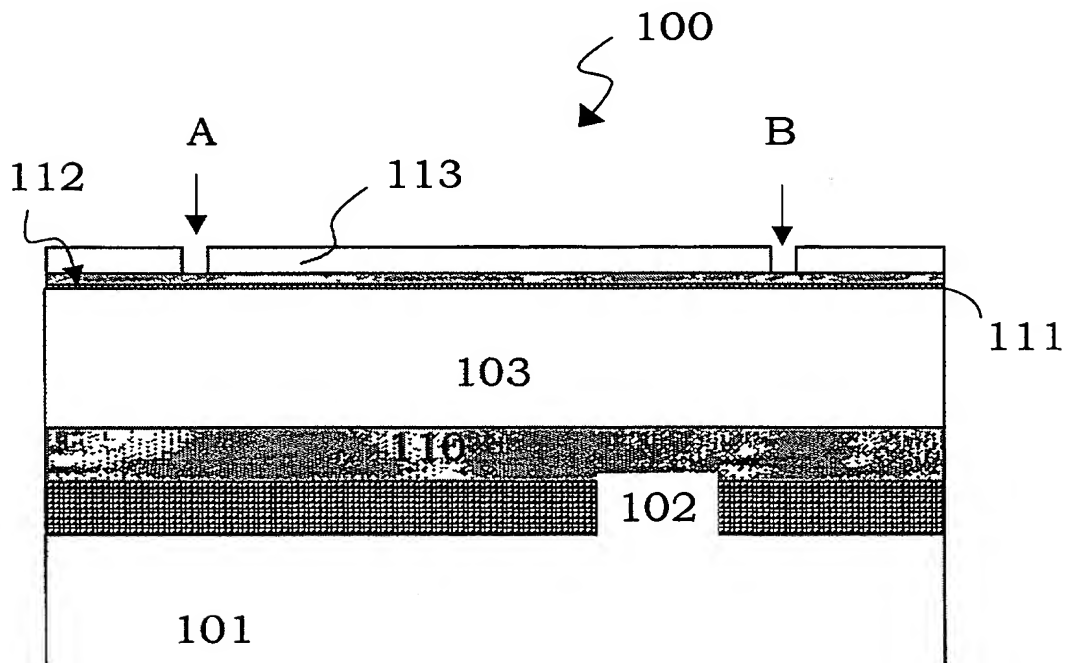


FIG. 10C

23/33

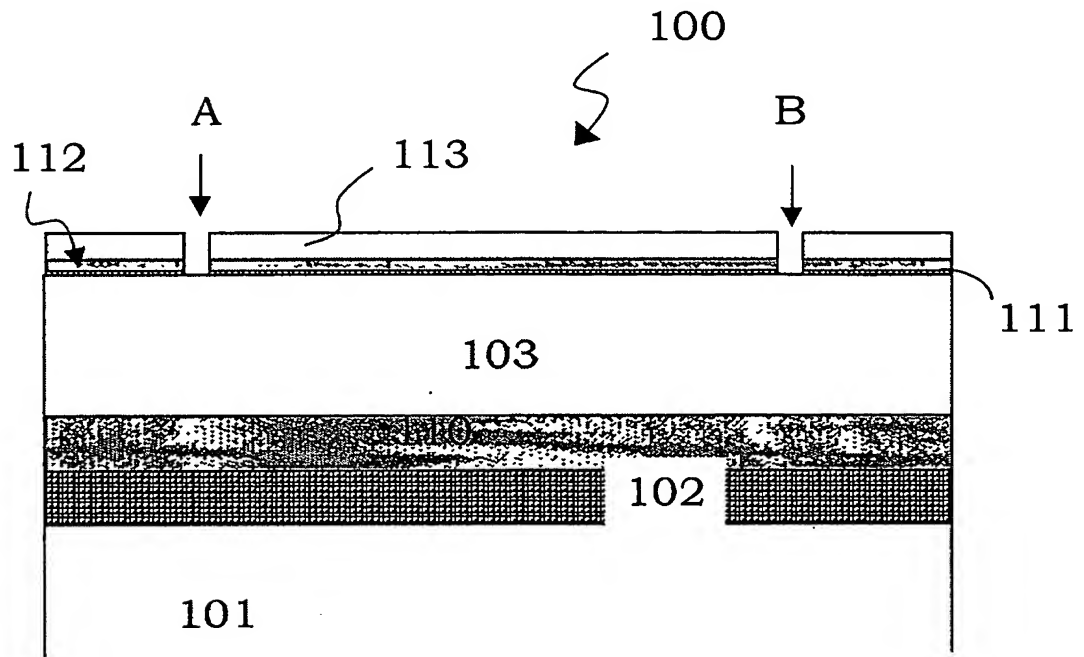


FIG. 10D

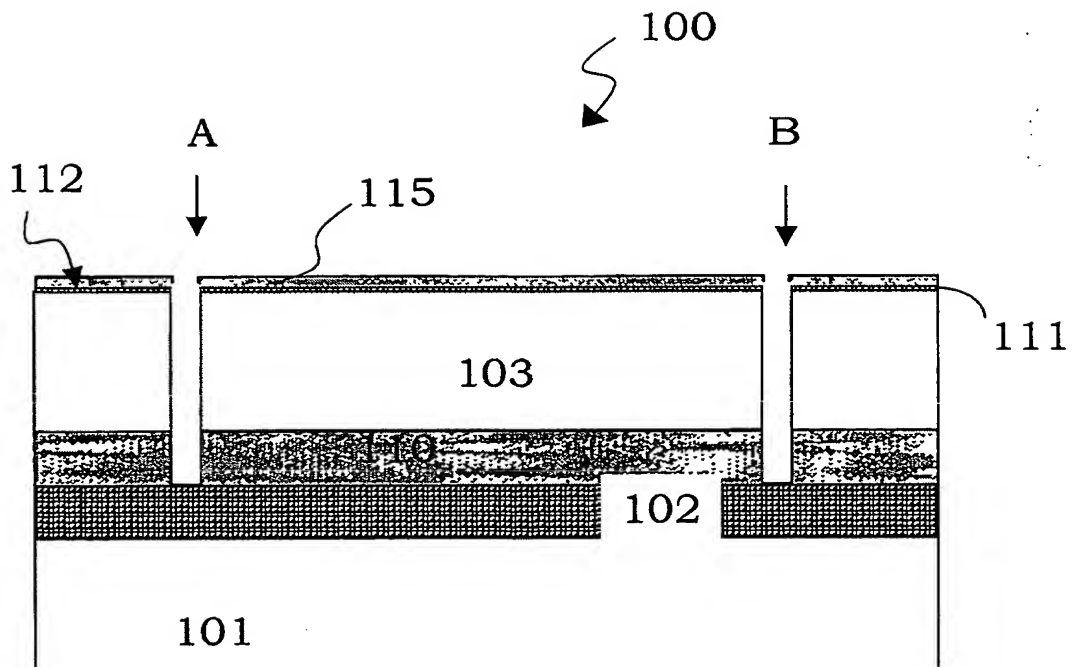


FIG. 10E

24/33

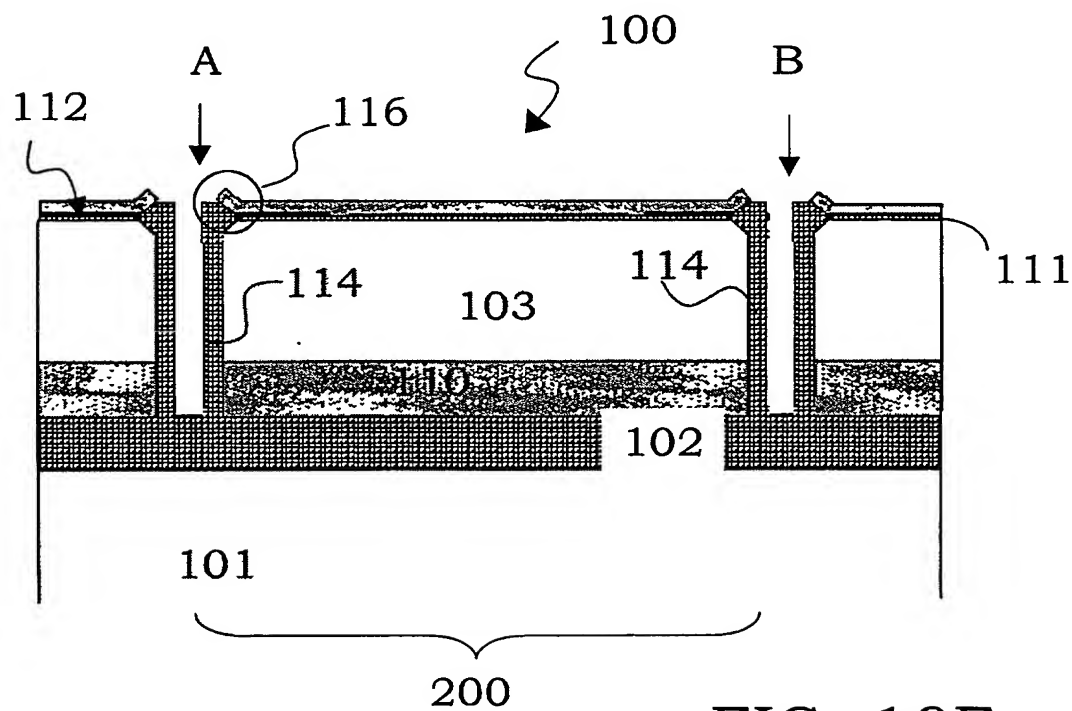


FIG. 10F

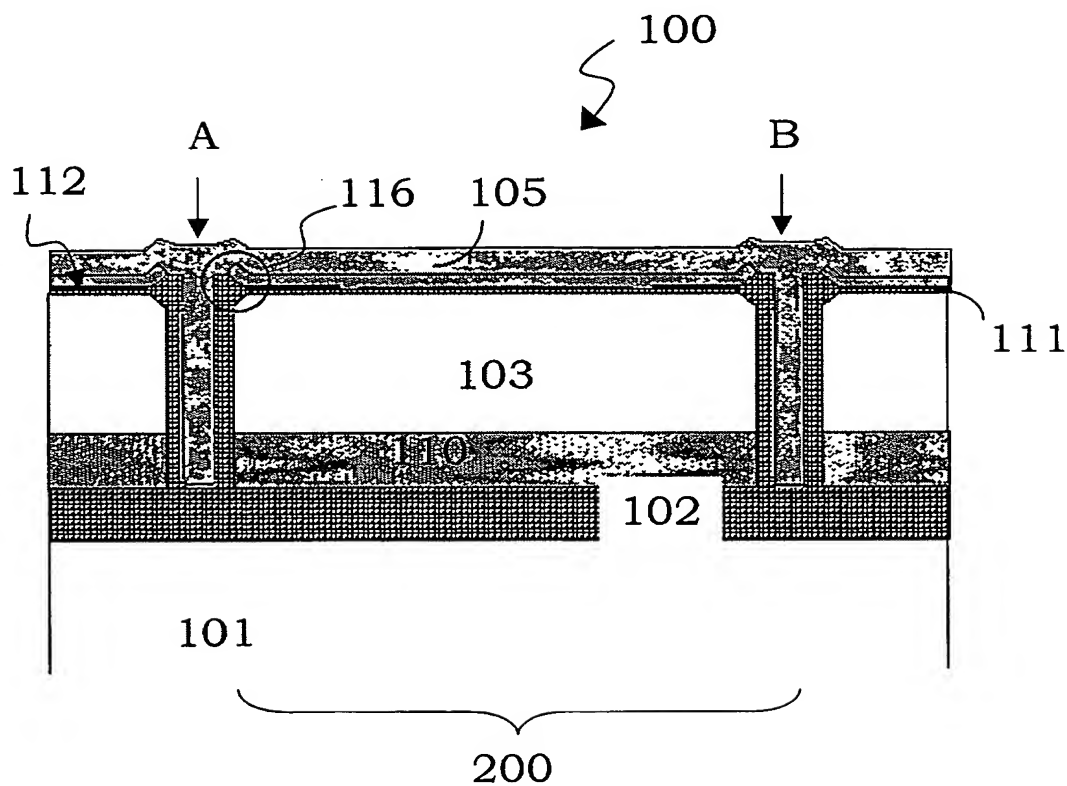


FIG. 10G

25/33

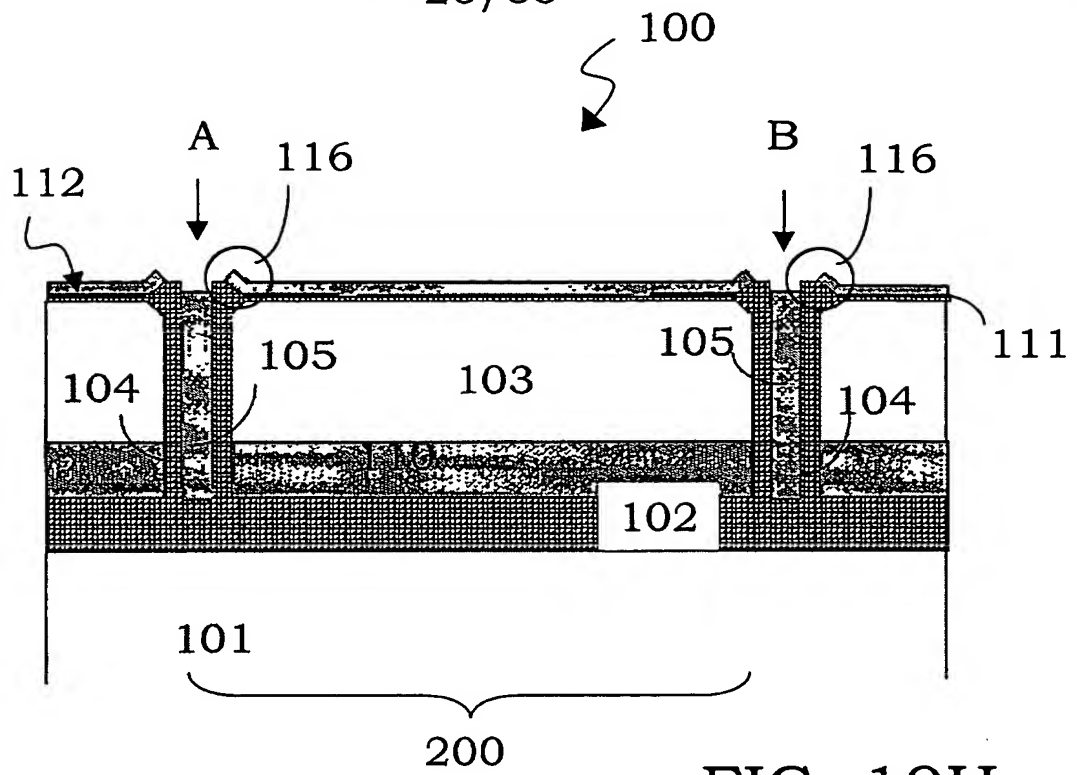


FIG. 10H

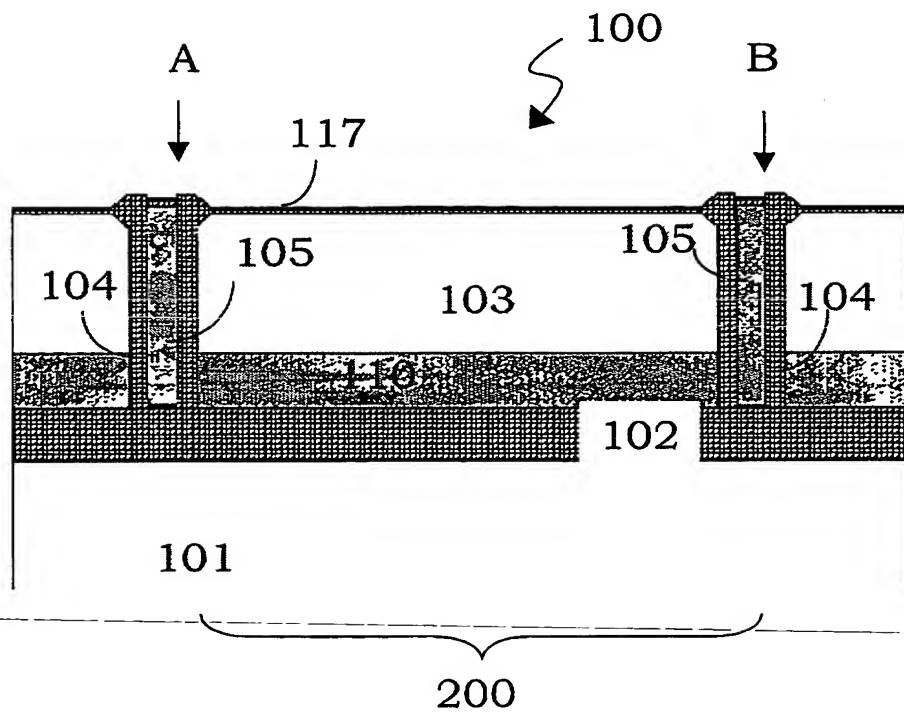


FIG. 10I

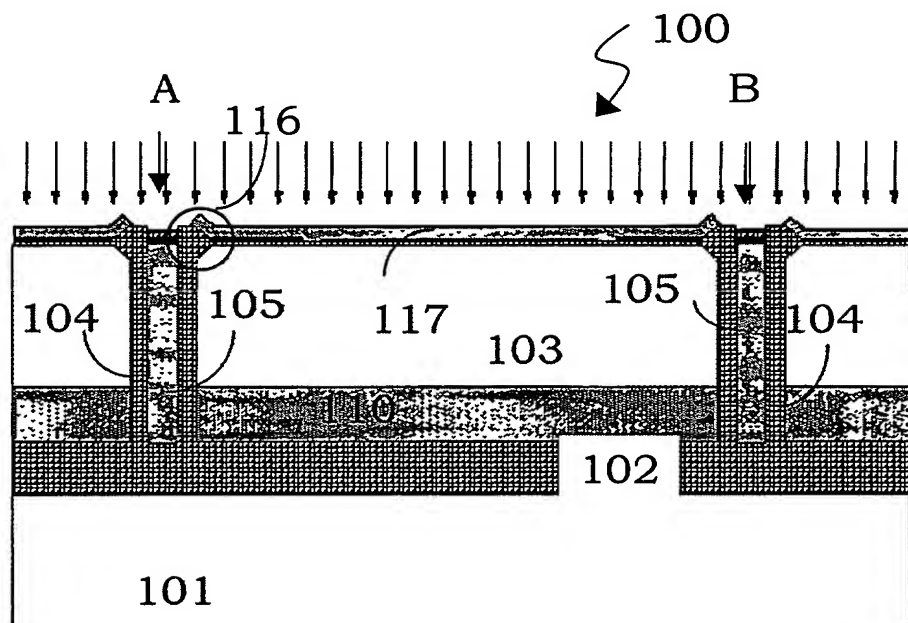


FIG. 10L

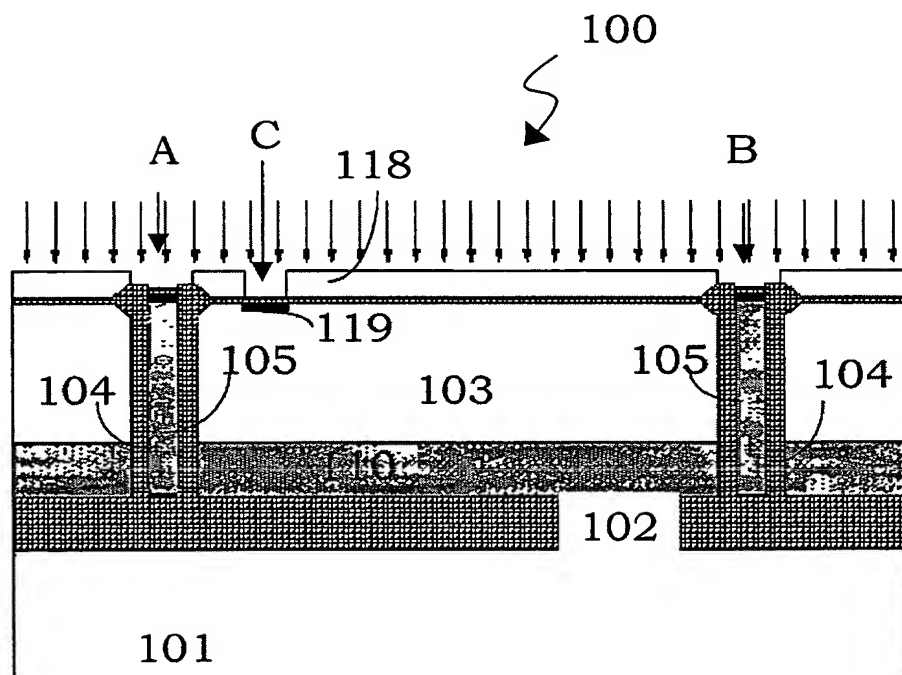
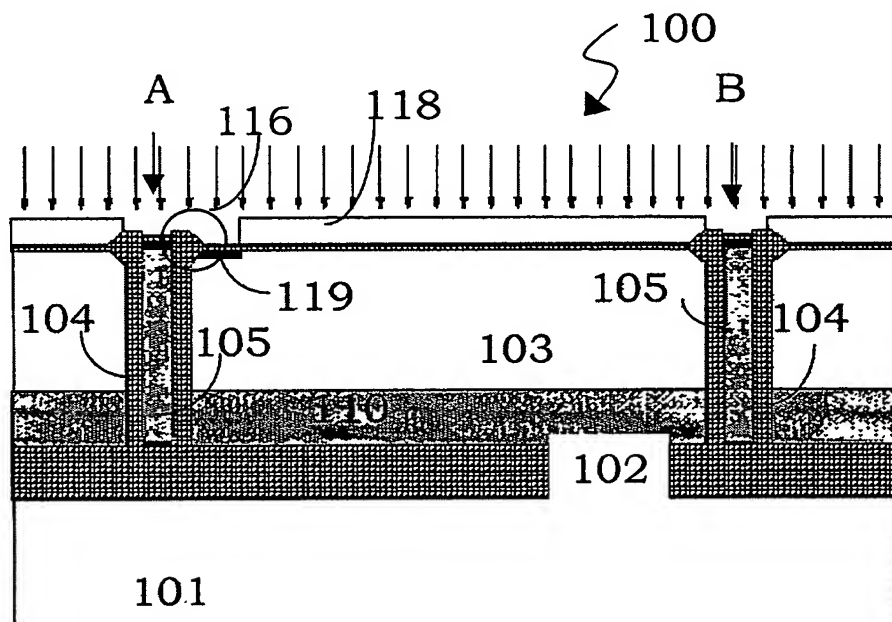


FIG. 10M

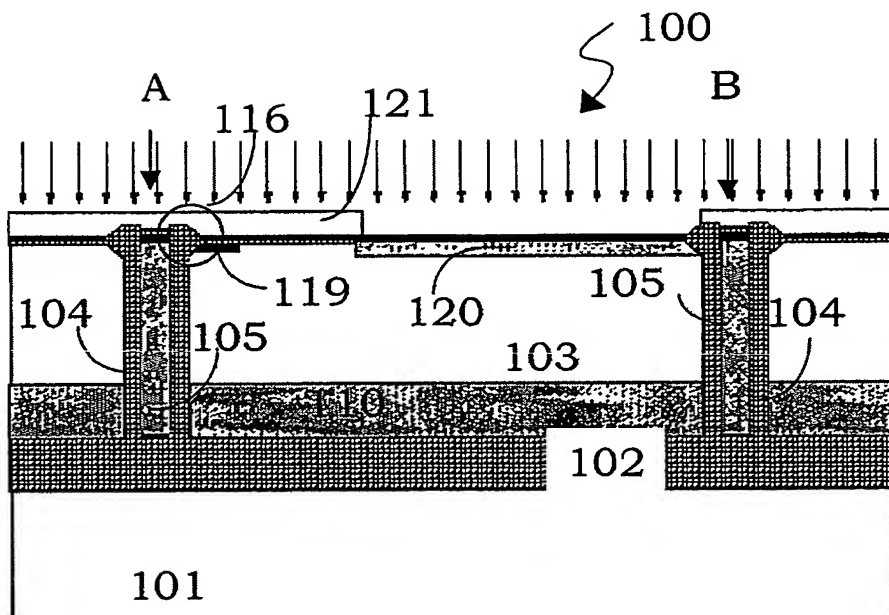


27/33



200

FIG. 10N



200

FIG. 10O

28/33

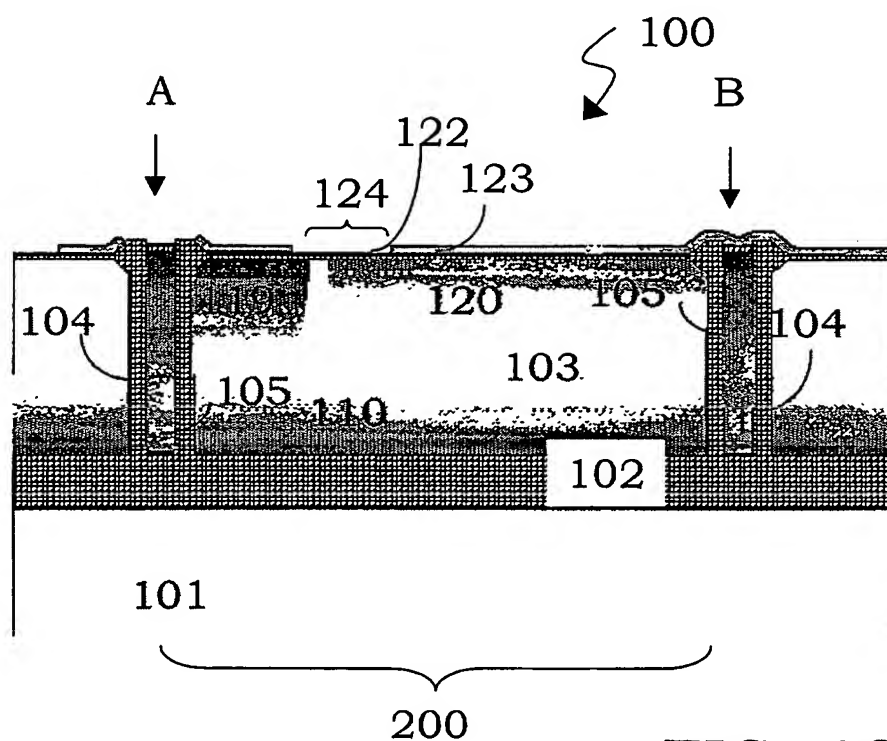


FIG. 10P

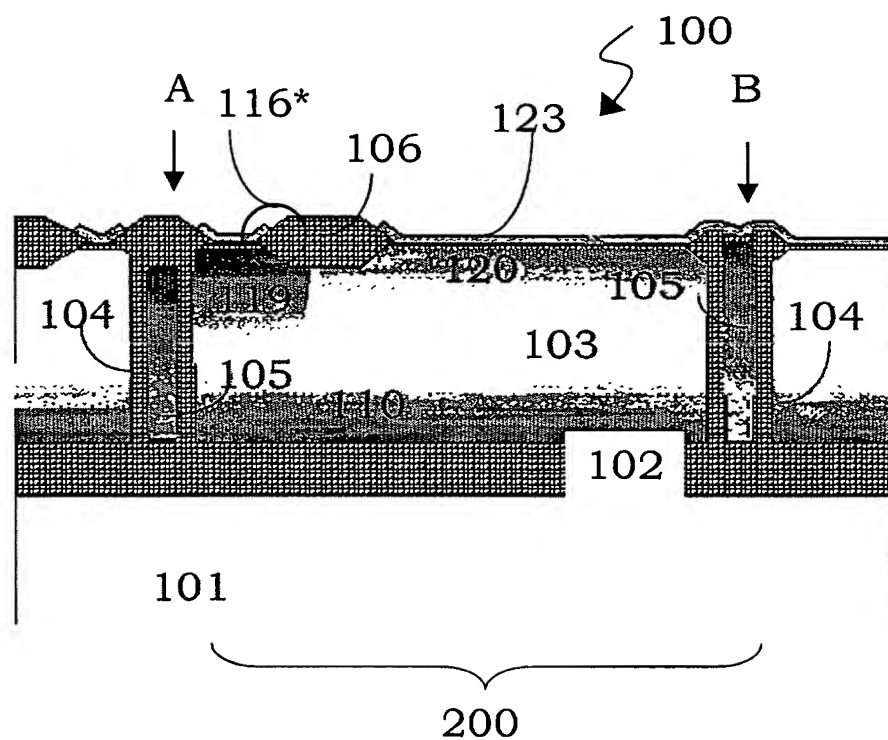


FIG. 10Q



30/33

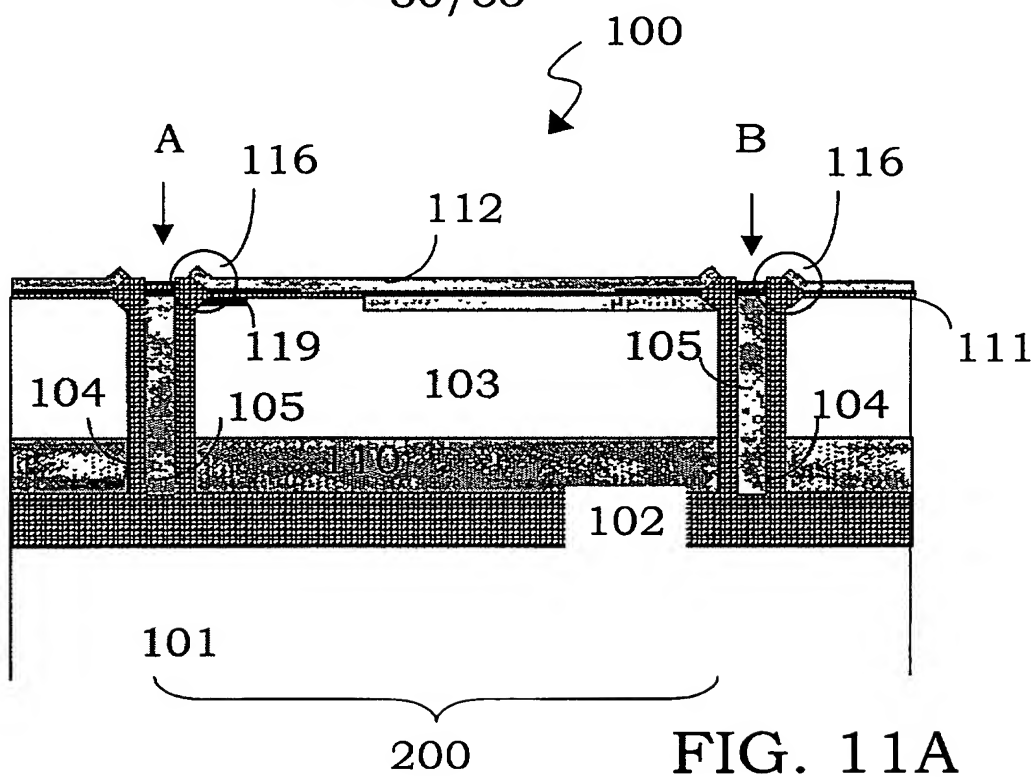


FIG. 11A

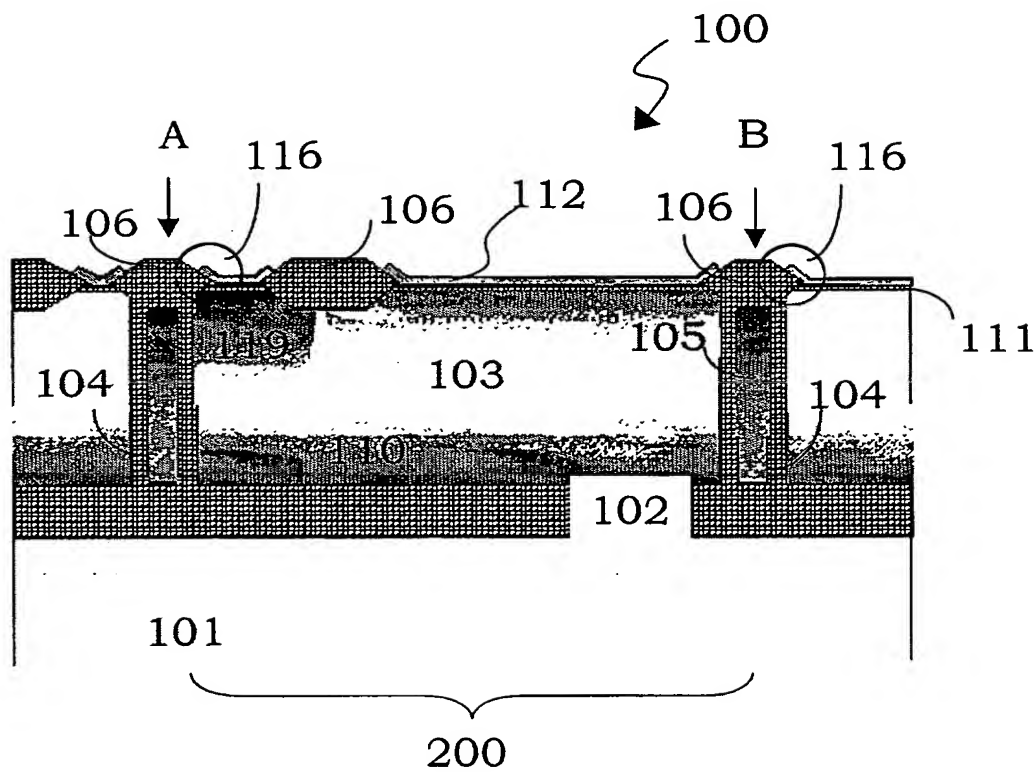


FIG. 11B

31/33

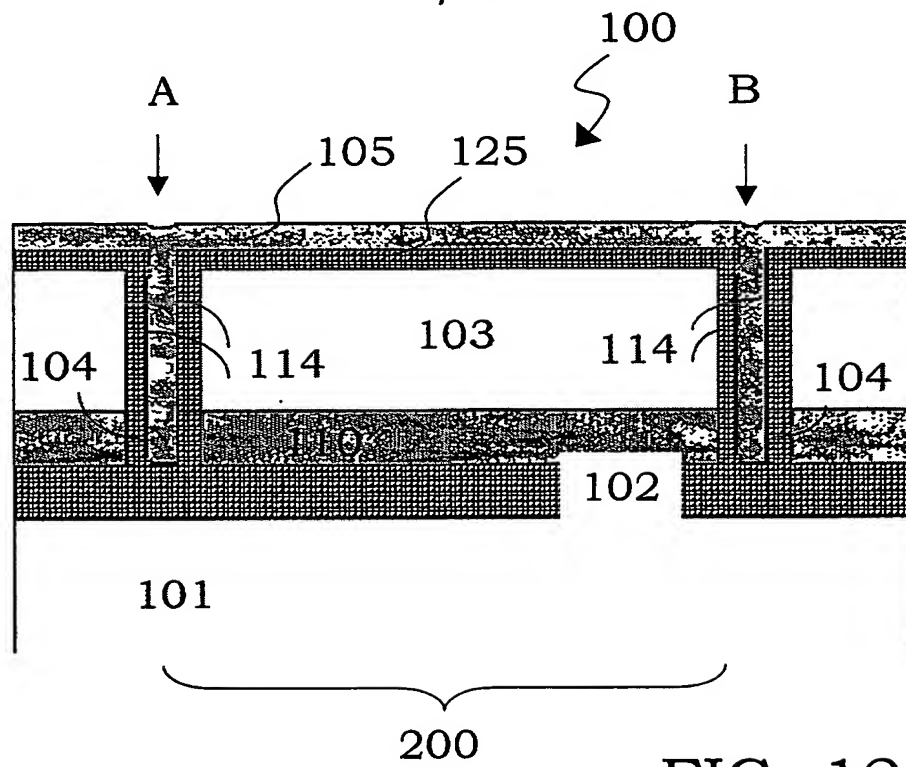


FIG. 12A

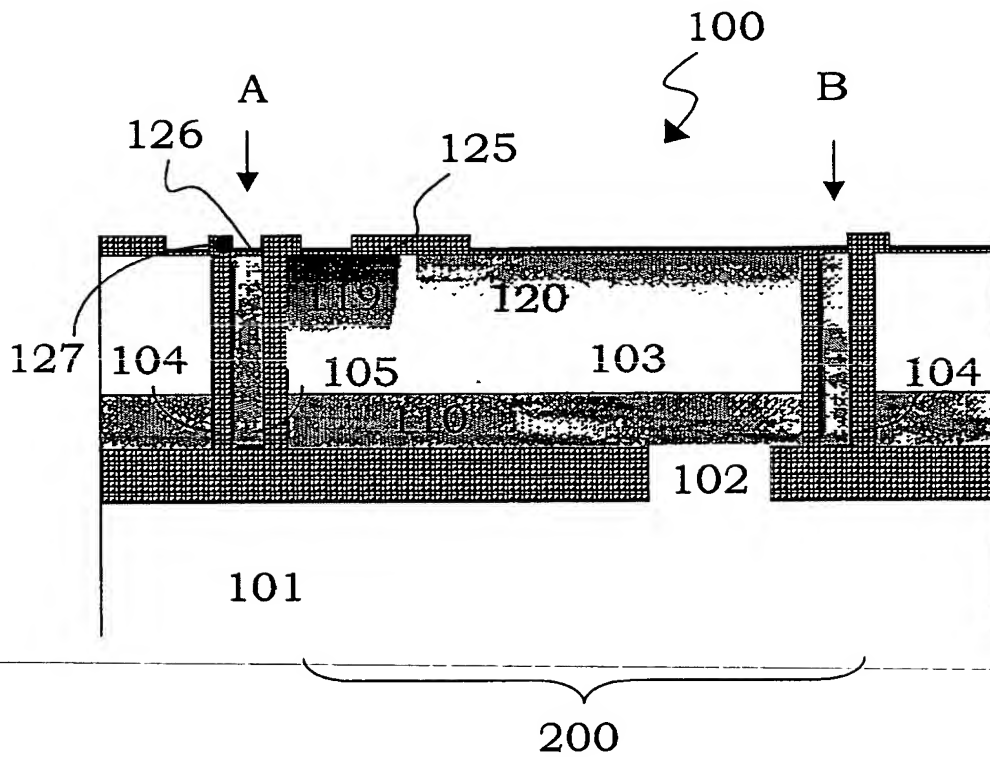
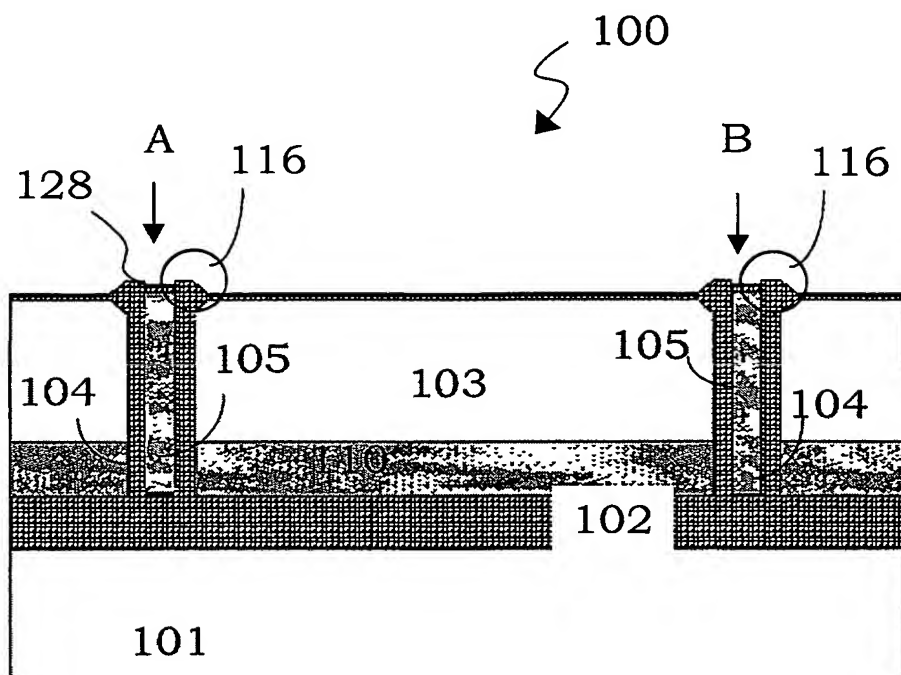


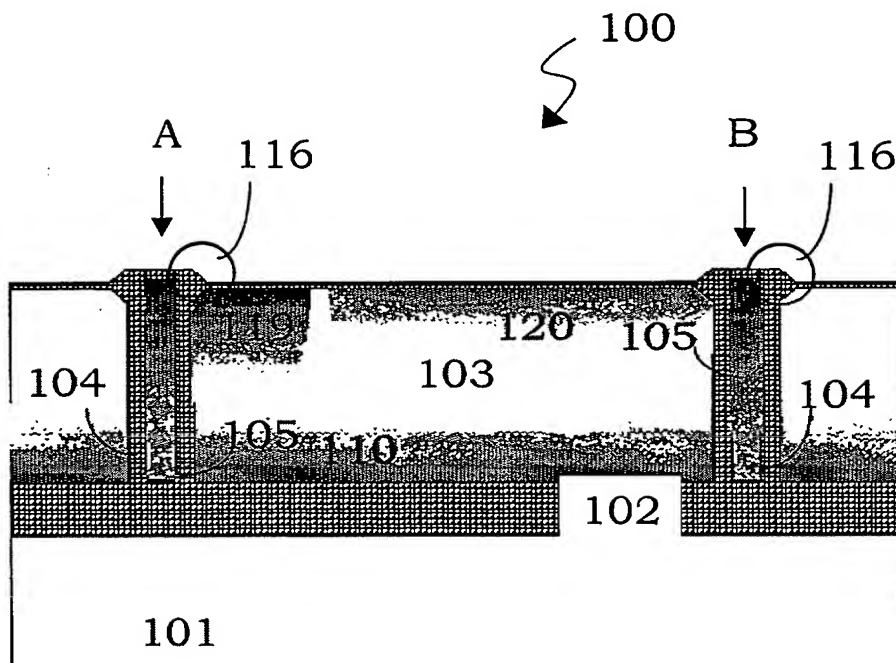
FIG. 12B

32/33



200

FIG. 13A



200

FIG. 13B

33/33

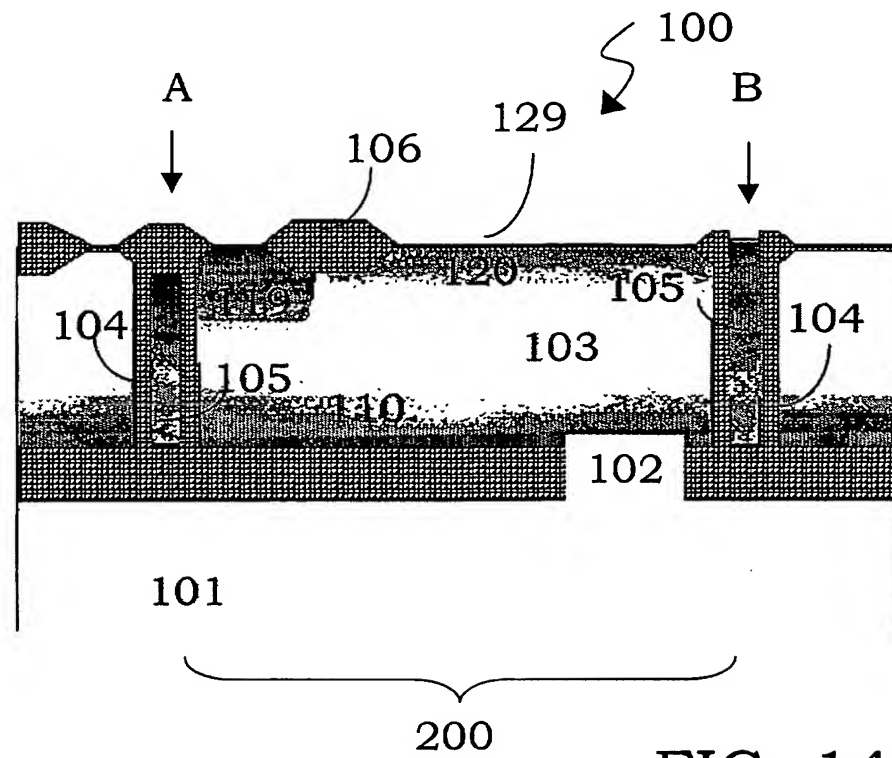


FIG. 14A

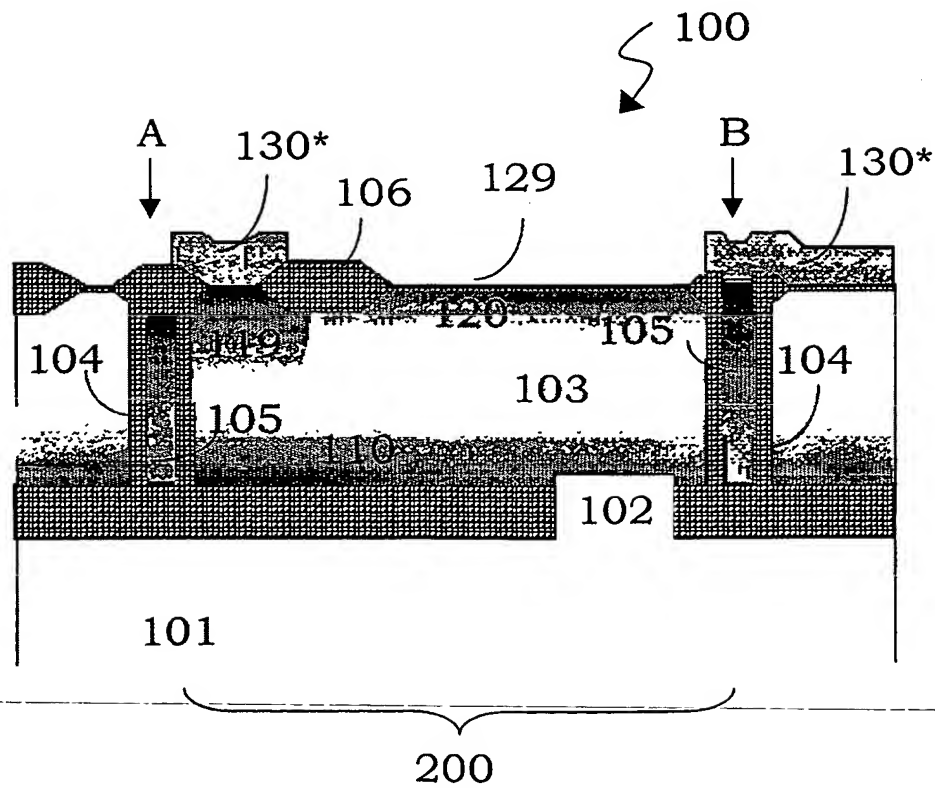


FIG. 14B

